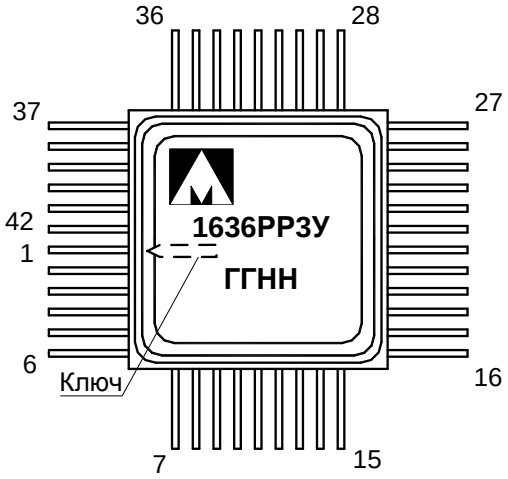
ПЗУ с электрическим перепрограммированием Flash-типа 1636РР3У, К1636РР3У, К1636РР3УК, 1636РР3Н4, К1636РР3Н4



ГГ – год выпуска

НН – неделя выпуска

Тип корпуса:

- 42-выводной металлокерамический корпус Н14.42-1В;
- микросхемы 1636РР3Н4 и К1636РР3Н4 поставляются в бескорпусном исполнении.

Основные характеристики микросхемы:

- Информационная емкость 4М (512К x 8) бит;
- Наличие двух последовательных и параллельного интерфейсов;
- Совместимость по входам с 5 В («5 В толерантность»);
- Два сектора по 2 Мбит;
- 256 страниц по 16 Кбит;
- Возможность стирания страниц, комбинации секторов и всей памяти;
- Функция защиты сектора от стирания и записи: аппаратная проверка сектора для предотвращения стирания и записи;
- Уменьшение времени программирования при повторяющихся программных командных последовательностях (режим bypass);
- Аппаратный алгоритм автоматического стирания и верификации всей памяти или желаемого количества секторов;
- Аппаратный алгоритм автоматической верификации и записи данных по указанному адресу;
- Программный метод детектирования окончания циклов стирания и записи;
- Встроенная схема формирования высоковольтного напряжения программирования и стирания;
- Встроенная схема сброса при включении питания;
- Время сохранения данных 13 лет при температуре 125 °С;
- 10 000 циклов записи/стирания данных при температуре 125 °С;
- Напряжение питания от 3,0 до 3,6 В;
- Ток потребления в режиме хранения не более 1 мА;
- Динамический ток потребления не более 40 мА;
- Время выборки не более 60 нс;
- Рабочий диапазон температур:

Обозначение	Диапазон
1636РР3У	минус 60 – 125 °С
К1636РР3У	минус 60 – 125 °С
К1636РР3УК	0 – 70 °С

Общее описание и область применения микросхемы

Микросхемы интегральные 1636РР3У (далее – микросхемы) представляют собой энергонезависимые запоминающие устройства типа «Flash» с количеством циклов перезаписи до нескольких десятков тысяч для хранения и оперативной модификации массивов данных, программного обеспечения и регулирующих воздействий аппаратуры специального назначения.

1 Структурная блок-схема микросхемы

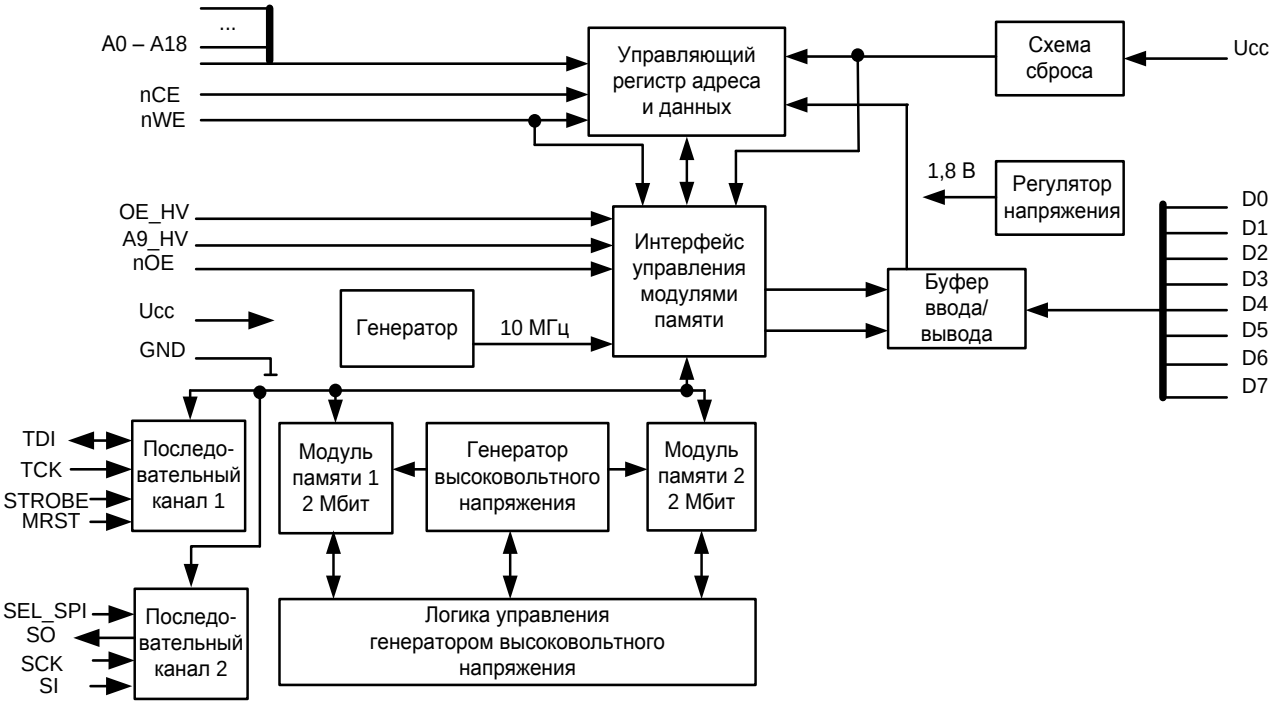


Рисунок 1 – Структурная блок-схема микросхемы

2 Условно-графическое обозначение

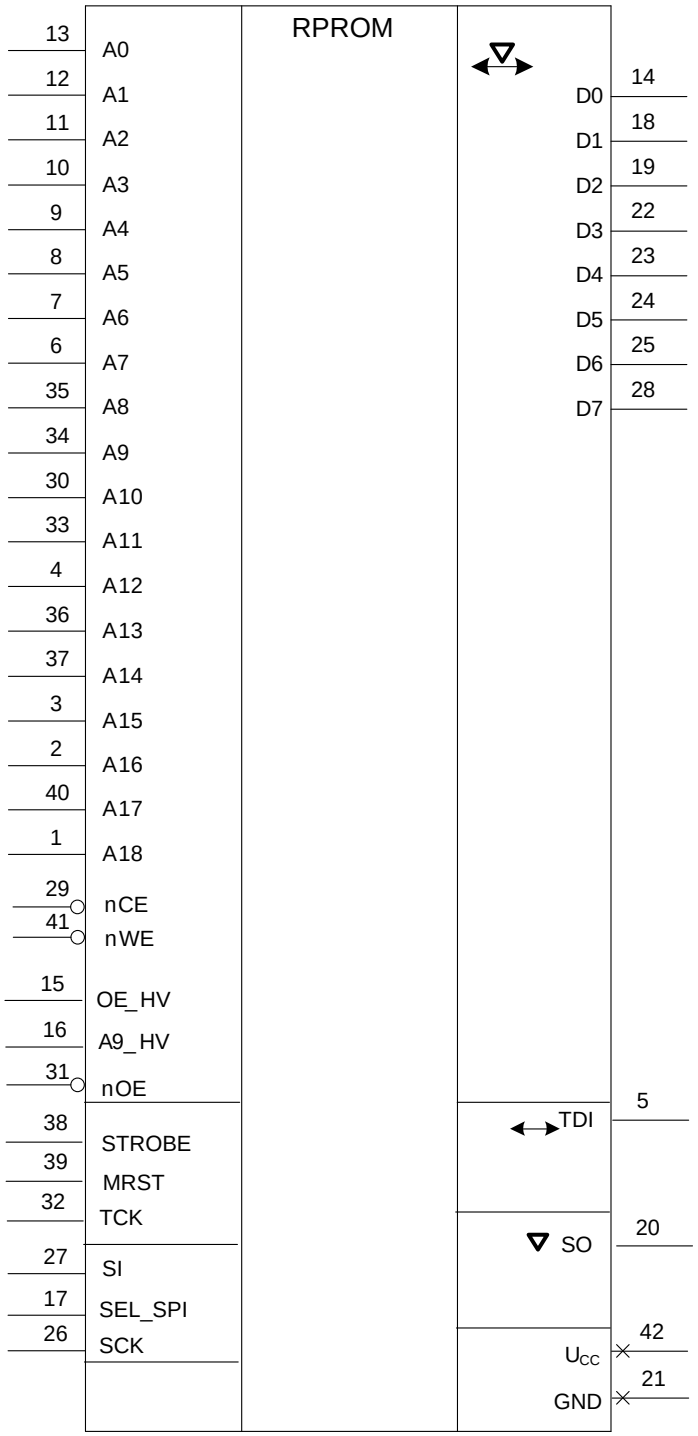


Рисунок 2 – Условно-графическое обозначение

3 Описание выводов

Таблица 1 – Описание выводов

№ вывода корпуса	№ контактных площадок кристалла	Обозначение вывода	Назначение вывода
1	1	A18	Вход сигнала адреса
2	2	A16	Вход сигнала адреса
3	3	A15	Вход сигнала адреса
4	4	A12	Вход сигнала адреса
5	5	TDI	Вход/выход последовательных данных
6	6	A7	Вход сигнала адреса
7	7	A6	Вход сигнала адреса
8	8	A5	Вход сигнала адреса
9	9	A4	Вход сигнала адреса
10	10	A3	Вход сигнала адреса
11	14	A2	Вход сигнала адреса
12	15	A1	Вход сигнала адреса
13	16	A0	Вход сигнала адреса
14	17	D0	Вход/выход сигнала данных
15	18	OE_HV	Вход режима установки/снятия защиты от записи и стирания
16	19	A9_HV	Вход режима установки/снятия защиты от записи и стирания
17	20	SEL_SPI	Выбор интерфейса SPI (активный высокий уровень)
18	21	D1	Вход/выход сигнала данных
19	22	D2	Вход/выход сигнала данных
20	23	SO	Выходные данные интерфейса SPI
21	24	GND	Общий
22	25	D3	Вход/выход сигнала данных
23	26	D4	Вход/выход сигнала данных
24	27	D5	Вход/выход сигнала данных
25	28	D6	Вход/выход сигнала данных
26	29	SCK	Синхросигнал интерфейса SPI
27	30	SI	Входные данные интерфейса SPI
28	31	D7	Вход/выход сигнала данных
29	32	nCE	Вход сигнала разрешения выборки (активный низкий уровень)
30	33	A10	Вход сигнала адреса
31	34	nOE	Вход сигнала разрешения чтения (активный низкий уровень)
32	35	TCK	Вход синхросигнала
33	36	A11	Вход сигнала адреса
34	41	A9	Вход сигнала адреса
35	42	A8	Вход сигнала адреса
36	43	A13	Вход сигнала адреса
37	44	A14	Вход сигнала адреса

№ вывода корпуса	№ контактных площадок кристалла	Обозначение вывода	Назначение вывода
38	45	STROBE	Вход сигнала инициирования обмена
39	46	MRST	Вход сигнала сброса (активный уровень “0”)
40	47	A17	Вход сигнала адреса
41	48	nWE	Вход сигнала разрешения записи (активный низкий уровень)
42	49	U_{CC}	Вывод питания 3,3 В

4 Указания по применению и эксплуатации

При ремонте аппаратуры и измерении параметров замену микросхем необходимо проводить только при отключенных источниках питания.

Инструмент для пайки (сварки) и монтажа не должен иметь потенциал, превышающий 0,3 В относительно шины «Общий».

Запрещается подведение каких-либо электрических сигналов (в том числе шин «Питание», «Общий») к выводам микросхем, не используемым согласно таблице 1.

Не допускается подведение электрических сигналов (в том числе шин «Питание», «Общий») к обратной стороне микросхемы в бескорпусном исполнении (1636РР3Н4, К1636РР3Н4).

Между выводами U_{CC} и GND устанавливается фильтрующая емкость не менее 0,1 мкФ.

Крышка микросхем электрически соединена с выводом 21 («Общий»).

Порядок подачи и снятия напряжения питания и входных сигналов на микросхему:

- подача (включение микросхемы) – общий, питание, входные сигналы или одновременно;
- снятие (выключение микросхемы) – в обратном порядке или одновременно.

Временные диаграммы работы микросхем приведены на рисунках 28 – 36.

5 Описание функционирования микросхемы

5.1 Поддерживаемые операции на шине памяти

В разделе описываются необходимые условия и операции, поддерживаемые микросхемой, которые инициируются через внутренний командный регистр. Командный регистр не занимает адресное пространство памяти. Командный регистр состоит из триггеров, которые хранят информацию, поступающую с шин адреса и данных, необходимую для выполнения команд. Содержимое регистра используется внутренним интерфейсом управления. Интерфейс управления формирует операции для устройства. Ниже (Таблица 2) показаны операции на шине памяти, требуемые входные и выходные уровни сигналов.

Таблица 2 – Таблица истинности микросхемы. Операции на шине памяти

Операция	nCE	nOE	nWE	Адрес	D0-D7	OE_HV, A9_HV
Чтения	L	L	H	входной адрес	выходные данные	L
Записи	⎍	H	⎍	входной адрес	входные данные	L
Пониженного электропотребления	H	X	X	X	Z	L
Неактивное состояние	L	H	H	X	Z	L
Сброс	X	X	X	X	Z	L
Защита сектора	L	H	L	Адрес сектора, A6=L, A1=H, A0=L	входные/ выходные данные	H
Снятие защиты сектора	L	H	L	Адрес сектора, A6=H, A1=H, A0=L	входные/ выходные данные	H

Примечания:

L – логический ноль (U_{IL}), H - логическая единица (U_{IH}), X - L или H;

⎍ – переход уровня сигнала из логического «нуля» в «единицу»;

Z – третье состояние.

5.2 Требования, предъявляемые при чтении данных

Для чтения данных с выходов, на выводы nCE и nOE необходимо подать логический уровень нуля. Вывод nCE регулирует мощность и выбирает микросхему. Вывод nOE осуществляет управление вводом-выводом массива данных. Вывод nWE должен оставаться в состоянии единицы.

Внутренний интерфейс управления переходит в состояние чтения данных при включении питания или аппаратном сбросе. Таким образом, гарантируется, что случайное изменение содержимого модуля памяти не произойдёт при переходных процессах питания. Никаких команд в этом режиме не нужно, чтобы получить данные. Цикл чтения аналогичен стандартному микропроцессорному циклу, во время которого адрес выставляется на входы адреса, а данные выдаются на выходы данных. Микросхема остается доступной для чтения, пока содержимое командного регистра не изменится.

Для дополнительной информации см. подраздел 5.10 «Чтение массива данных».

5.3 Команды записи и командные последовательности

Для записи команд или командных последовательностей, включая программирование данных в модуль памяти микросхемы (модуль памяти) и стирание секторов памяти, используется переход уровня сигнала из логического «нуля» в «единицу» на выводах nCE или nWE, в зависимости от того, какой из них произойдёт раньше. Вывод nOE должен оставаться в состоянии логической единицы.

Режим микросхемы «Unlock Bypass» (разблокирование обходного регистра) позволяет ускорить программирование. В этом режиме только два цикла (вместо четырёх) требуются для программирования байта. В подразделе 5.13 «Командная последовательность программирования байта» подробно описываются оба режима записи: стандартный и «Unlock Bypass».

С помощью операции стирания можно стереть страницу, один сектор, несколько секторов или всю память. Ниже представлено адресное пространство для каждого сектора (Таблица 3). Адрес сектора состоит из адресных бит, позволяющих выбрать один из секторов. В подразделе 5.9 «Описание команд» подробно описывается стирание сектора и всей памяти.

После записи системой командной последовательности «Autoselect», (автоматический выбор) микросхема входит в режим «Autoselect». Система может прочитать «Autoselect»-коды из внутреннего регистра на выходах D0-D7. Для этого применяются стандартные циклы чтения.

Таблица 3 – Адресное пространство секторов

Сектор	A18	Диапазон адресов (в шестнадцатеричной системе счисления)
SA0	0	00000h-3FFFFh
SA1	1	40000h-7FFFFh

5.4 Режим пониженного электропотребления

Если не осуществляются операции чтения или записи в микросхему, то микросхема может находиться в режиме хранения. В этом режиме ток потребления значительно снижается, выходы переводятся в высокоимпедансное состояние, независимо от состояния входа nOE. Для входа в режим хранения на вывод nCE необходимо подать напряжение $U_{CC} \pm 0{,}3$ В (это более ограниченный диапазон, чем U_{IH}). Если $U_{nCE} = U_{IH}$, но за пределами $U_{CC} \pm 0{,}3$ В, то микросхема также войдёт в режим хранения, но ток потребления будет больше. Для перехода из режима хранения в режим чтения требуется стандартное время доступа (не более 60 нс).

Во время операций стирания или программирования микросхема находится в режиме активного потребления, пока не закончится операция.

5.5 Режим «Autoselect»

Текущий режим предоставляет идентификаторы производителя и микросхемы, а также обеспечивает верификацию защищённости секторов с помощью

идентификационных кодов выдаваемых по шине D0-D7. Этот режим первоначально предназначался для программного оборудования, чтобы автоматически выбрать соответствующий алгоритм программирования для микросхемы. Однако, эти идентификаторы могут быть также получены через командный регистр.

Когда используется программное оборудование, режим «Autoselect» требует наличия напряжения U_{IH} на входе A9_HV. Адресные входы A6, A1, A0 должны быть установлены в соответствии с таблицей ниже (Таблица 4), когда происходит верификация защищённости секторов. Адрес сектора должен выставляться на старших битах адреса в соответствии с таблицей адресного пространства секторов (Таблица 3). Таблица 4 показывает состояние остальных адресных бит, которые не имеют значения. Когда все необходимые биты выставлены, как требуется, программное оборудование может считать идентификационный код с выходов D0-D7.

Можно послать команду «autoselect» через командный регистр, как показано в Таблица 5 подраздела 5.7 «Определение команд на шине памяти». Этот метод не требует напряжения U_{IH} на входе A9_HV. В подразделе 5.9 «Описание команд» подробно рассматривается этот метод.

Таблица 4 – «Autoselect»-коды

Описание	nCE	nOE	nWE	A18 по A16	A15 по A7	OE_HV	A9_HV	A6	A5 по A2	A1	A0	D7 по D0
ID Производителя	L	L	H	X	X	L	H	L	X	L	L	01h
ID Микросхемы	L	L	H	X	X	L	H	L	X	L	H	4Fh
Верификация защищённости сектора	L	L	H	SA	X	L	H	L	X	H	L	01h защищён 00h не защищён

5.6 Защита и снятие защиты с сектора

Аппаратная защита сектора блокирует операции программирования и стирания для любого сектора. Аппаратное снятие защиты сектора разрешает операции программирования и стирания для ранее защищённого сектора.

Метод защиты и снятия защиты с сектора предназначен только для программного оборудования, требующего напряжение U_{IH} на выводах A9_HV и OE_HV.

Микросхема поставляется с незащищёнными секторами. По желанию пользователя данные в микросхему могут быть запрограммированы и установлены в защищённое состояние.

5.7 Определение команд на шине памяти

Таблица 5 – Доступные командные последовательности

Командные последователь-ности		Циклы	Циклы на шине											
			Первый		Второй		Третий		Четвёр-тый		Пятый		Шестой	
			Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Read		1	RA	RD										
Reset		1	XXX	F0										
Autoselect	ID Производителя	4	555	AA	2AA	55	555	90	X00	01				
	ID Микросхемы	4	555	AA	2AA	55	555	90	X01	4Fh				
	Верификация защищённости сектора	4	555	AA	2AA	55	555	90	(SA) X02	00 01				
Program		4	555	AA	2AA	55	555	A0	PA	PD				
Unlock Bypass		3	555	AA	2AA	55	555	20						
Unlock Bypass Program		2	PA	A0	PA	PD								
Unlock Bypass Reset		2	XXX	90	XXX	00								
Chip Erase		6	555	AA	2AA	55	555	80	555	AA	2AA	55	555	10
Sector Erase		6	555	AA	2AA	55	555	80	555	AA	2AA	55	SA	30
Page Erase		6	555	AA	2AA	55	555	80	555	AA	2AA	55	PgA	50

Примечания:

1 X – значение U_{IL} или U_{IH};
RA – адрес читаемой ячейки памяти;
RD – данные читаемые по адресу RA во время операции чтения;
PA – адрес программируемой ячейки памяти (адрес защелкивается по положительному фронту nWE или nCE, в зависимости от того какой случится раньше);
PD – данные, программируемые в ячейку памяти PA (данные защелкиваются по положительному фронту nWE или nCE, в зависимости от того какой случится раньше);
SA – адрес сектора, который верифицируется (в режиме Autoselect) или стирается. С помощью адресного бита A18 выбирается сектор.
PgA – адрес страницы, которая стирается. С помощью адресных бит A18-A11 выбирается страница.

2 Описание операций на шине памяти приведено в Таблица 2.

3 Все значения приведены в шестнадцатеричном виде.

4 Все командные циклы представляют собой операции записи, за исключением операции чтения массива данных или данных «Autoselect».

5 Адресные биты A18-A12 не имеют значения для командных и «unlock»-циклов.

6 Во время операции чтения командные и «unlock» циклы не требуются.

7 Команда «reset» требуется для возврата в режим чтения массива данных, если микросхема в режиме «Autoselect» или статусный бит D5 установлен в логическую «единицу» (пока микросхема выдаёт данные статуса).

8 Четвёртый цикл командной последовательности «Autoselect» – цикл чтения.

9 При верификации защищённости сектора читаются данные 00h для незащищённого сектора, 01h для защищённого сектора.
10 Команду «unlock bypass» требуется выполнить перед командной «unlock bypass program».
11 Требуется команда «unlock bypass reset» для возврата в режим чтения массива данных, если микросхема находилось в режиме «Unlock Bypass».

5.8 Аппаратная защита данных

Командные последовательности программирования или стирания включают в себя циклы разблокировки для защиты данных от ошибочной записи. В дополнении к этому нижеописанные методы аппаратной защиты предотвращают случайную запись или стирание, которые могут быть причиной переходных процессов при подаче и снятии питания, а также шумов в цепях питания.

В микросхему включена схема сброса при включении питания (power–on reset), которая обеспечивает блокирование внутренних схем программирования и стирания, а также командного регистра на время 4 мс после подачи напряжения питания U_{CC}.

На входах nCE, nOE, nWE установлены фильтры импульсных помех длительностью не более 5 нс для предотвращения случайных циклов записи.

Если $U_{nWE} = U_{nCE} = U_{IL}$ и $U_{nOE} = U_{IH}$ при включении питания, микросхема не воспримет команду по положительному фронту nWE. Внутренний интерфейс управления автоматически переходит в режим чтения данных при включении питания.

5.9 Описание команд

Запись специфичных данных по определённым адресам или командных последовательностей в командный регистр инициирует операции микросхемы. В таблице 4 определены доступные командные последовательности. Запись некорректного адреса или данных или их запись в неправильной последовательности может перевести микросхему в неизвестное состояние. Требуется команда сброса, чтобы вернуть микросхему в состояние чтения массива данных.

Все адреса и данные защелкиваются по положительному фронту nWE или nCE, в зависимости от того, какое из событий произойдёт раньше. Соответствующие временные диаграммы представлены в разделе 6 «Временные диаграммы».

5.10 Чтение массива данных

Микросхема автоматически устанавливается в режим чтения данных после включения питания или после завершения алгоритма программирования или стирания.

Если статусный бит D5 установлен в «единицу» или микросхема находится в режиме «Autoselect», для переинициализации в режим чтения массива данных микросхема должна получить команду сброса. Описание команды «reset» представлено в следующей секции.

Для получения дополнительной информации см. раздел 5.23 «Операция чтения массива данных».

5.11 Команда сброса «reset»

Запись команды «reset» в микросхему переводит её в режим чтения массива данных. Адресные биты не имеют значения для этой команды.

Команда «reset» может быть записана между циклами командной последовательности стирания прежде, чем начнется стирание. Это сбросит микросхему в режим чтения данных. Если стирание началось, микросхема игнорирует команду сброса, пока не закончится операция.

Команда «reset» может быть записана между циклами командной последовательности программирования прежде, чем начнется программирование. Это сбросит микросхему в режим чтения данных. Если программирование началось, то микросхема игнорирует команду сброса, пока не закончится операция.

Команда «reset» может быть записана между циклами командной последовательности «Autoselect». Для возврата из режима «Autoselect» в режим чтения массива данных необходимо записать команду «reset».

Если статусный бит D5 установился в «единицу» во время операции программирования или стирания, записью команды «reset» микросхема возвращается в режим чтения массива данных.

5.12 Команда режима «Autoselect»

Командная последовательность режима «Autoselect» позволяет хост-системе определить производителя микросхемы и его код, а также получить информацию о защищённых секторах. В таблице 4 приведены необходимые циклы для входа в этот режим. Этот метод альтернативный методу, приведённому в таблице 3, который предназначен для ППЗУ программаторов и требует напряжения U_{IH} на выводе A9_HV.

Командная последовательность «Autoselect» состоит из двух циклов разблокирования и непосредственно команды «autoselect». После этого микросхема входит в режим «Autoselect» и система может читать любой адрес в любое время без инициализации других командных последовательностей. Цикл чтения по адресу 00h возвращает код производителя. Цикл чтения по адресу 01h возвращает код микросхемы. Цикл чтения, содержащий адрес сектора (SA) и адрес 02h возвращает 01h, если сектор защищён, или 00h, если не защищён. Для определения необходимого адреса сектора см. Таблица 3.

Система может записать команду «reset» и выйти из режима «Autoselect» в режим чтения массива данных.

5.13 Командная последовательность программирования байта

Командная последовательность программирования байта программирует один байт в микросхему. Операция программирования инициируется четырьмя циклами на шине памяти. Программная последовательность состоит из двух циклов разблокирования, команды «setup», адреса и программируемых данных, запись которых инициирует внутренний алгоритм программирования. Дальнейший контроль времени программирования производить не требуется, так как это осуществляется логикой микросхемы. Микросхема автоматически обеспечивает внутреннюю генерацию программных импульсов. В таблице 4 приведены необходимые циклы для входа в этот режим. Алгоритм программирования микросхемы приведен на рисунке 1. После подачи командной последовательности программирования байта необходима проверка наличия статуса операции программирования. Статус операции

программирования проверяется путем опроса статусных бит D7 или D6. Для получения более подробной информации об этих статусных битах смотри подраздел 5.18 «Статус операции программирования». В случае отсутствия статуса операции программирования, необходимо осуществить сброс микросхемы и повторить командную последовательность программирования байта.

Допускается не проводить проверку статуса операции программирования. В этом случае необходимо после подачи командной последовательности программирования байта выдержать паузу не менее минимального времени программирования байта 200 мкс, после чего осуществить проверку записи данных путем чтения запрограммированного адреса. В зависимости от содержимого ячейки возможны следующие дальнейшие действия:

- содержимое ячейки соответствует записываемой информации. Необходимо перейти к записи следующего адреса или закончить процедуру программирования;
- ячейка оказалась незапрограммированной (содержимое равно 1111 1111). Необходимо осуществить сброс микросхемы и повторить операцию программирования байта;
- ячейка содержит информацию несоответствующую записываемой, необходимо осуществить сброс микросхемы, затем произвести процедуру стирания сектора или всего накопителя памяти. Только после этого возможно вернуться к программированию данного адреса.

Количество повторов операции программирования байта не регламентировано и определяется пользователем.

После завершения внутреннего алгоритма программирования, микросхема возвращается в режим чтения массива данных и адрес больше не защелкивается.

Любая команда, записанная в микросхему в течение внутреннего алгоритма программирования, игнорируется. Только аппаратный сброс сразу прерывает операцию программирования. Командная последовательность программирования байта должна быть переинициализирована, если микросхема была сброшена, чтобы данные были корректно запрограммированы.

Программирование может осуществляться в любой последовательности в любой сектор по любому адресу. Биты не могут быть запрограммированы обратно из «нуля» в «единицу». Попытка сделать это может прервать операцию и установить бит D5 в «единицу» или быть причиной того, что алгоритм последовательного опроса данных завершится успешно. Однако чтение покажет, что данные всё ещё в «нуле». Только операция стирания может конвертировать биты из «нуля» в «единицу».

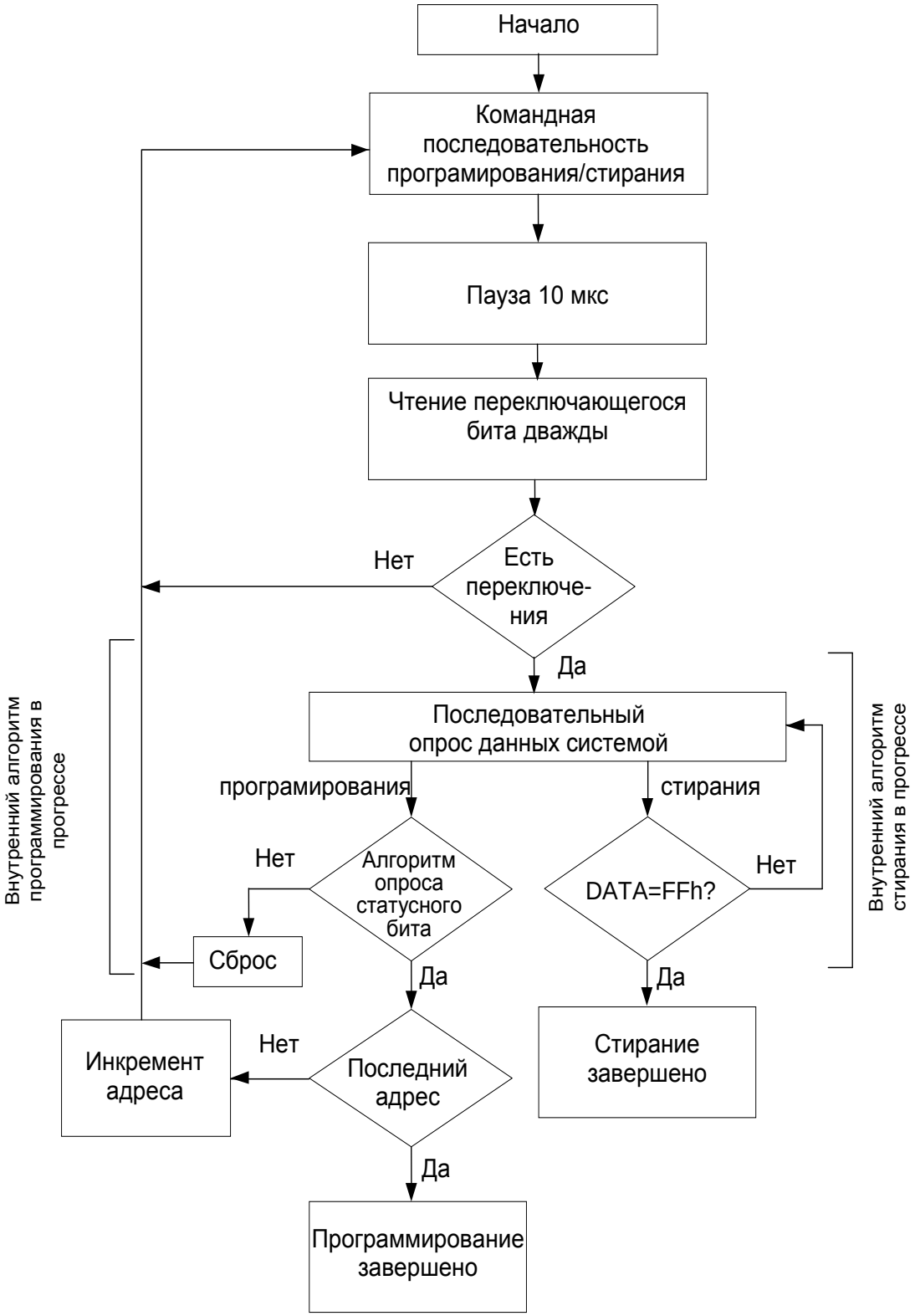


Рисунок 3 – Алгоритм процедуры программирования/стирания

5.14 Командная последовательность режима «Unlock Bypass»

Режим «Unlock Bypass» позволяет системе программировать байты в микросхему быстрее, чем при использовании стандартных последовательностей программирования. Режим «Unlock Bypass» инициируется с помощью двух циклов разблокирования и одного цикла разблокирования команды «bypass», 20h. После входа в этот режим, достаточно командной последовательности из двух циклов для программирования байта. Первый цикл этой последовательности содержит команду разблокирования программирования «bypass», A0h. Второй цикл содержит адрес и программируемые данные. Последующие данные программируются подобным методом за два цикла. Этот метод обходится без двух циклов разблокирования, необходимых в стандартной последовательности программирования. В результате общее время программирования меньше. В Таблица 5 приведены необходимые циклы для входа в этот режим.

В режиме «Unlock Bypass» разрешены только команды «unlock bypass program» (программирование при разблокированном обходном регистре) и «unlock bypass reset» (сброс при разблокированном обходном регистре), а также операция чтения. Для выхода из режима «Unlock Bypass» необходимо выдать командную последовательность «unlock bypass reset», состоящую из двух циклов. Первый цикл должен содержать данные 90h, второй цикл – данные 00h. После этого микросхема возвращается в режим чтения массива данных.

Алгоритм процедуры программирования показан на Рисунок 3.

5.15 Командная последовательность стирания страницы

Командная последовательность стирания страницы состоит из шести циклов на шине памяти: двух циклов разблокирования, команды «setup», двух дополнительных циклов разблокирования, адреса стираемой страницы и команды «page erase», которая запускает внутренний алгоритм стирания. Микросхеме не требуется предварительное программирование перед стиранием. Дополнительно контролировать временные характеристики микросхемы после запуска внутреннего алгоритма стирания не требуется. В Таблица 5 приведены необходимые циклы для входа в этот режим.

Любая команда, записанная в память микросхемы во время работы внутреннего алгоритма стирания, игнорируется. Аппаратный сброс во время операции стирания немедленно прекращает операцию. После этого командная последовательность стирания страницы должна быть переинициализирована для корректного стирания страницы.

Необходимо определить статус операции стирания с помощью бит статуса D7, D6 или D2. Для получения более подробной информации об этих статусных битах смотри раздел «Статус операции программирования». После завершения внутреннего алгоритма стирания, микросхема возвращается в режим чтения массива данных, и адрес больше не защелкивается.

Алгоритм процедуры стирания приведён на Рисунок 3.

5.16 Командная последовательность стирания микросхемы

Командная последовательность стирания микросхемы состоит из шести циклов на шине памяти: двух циклов разблокирования, команды «setup», двух дополнительных циклов разблокирования и команды «chip erase», которая запускает внутренний алгоритм стирания. Микросхеме не требуется предварительное

программирование перед стиранием. Дополнительно контролировать временные характеристики микросхемы после запуска внутреннего алгоритма стирания не требуется. В Таблица 5 приведены необходимые циклы для входа в этот режим.

Любая команда, записанная в память микросхемы во время работы внутреннего алгоритма стирания, игнорируется. Аппаратный сброс во время операции стирания немедленно прекращает операцию. После этого командная последовательность стирания памяти микросхемы должна быть переинициализирована для корректного стирания микросхемы.

Статус операции стирания определяется с помощью бит статуса D7, D6 или D2. Для получения более подробной информации об этих статусных битах смотри подраздел 5.18 «Статус операции программирования». После завершения внутреннего алгоритма стирания микросхема возвращается в режим чтения массива данных, и адрес больше не защелкивается.

Алгоритм процедуры стирания показан на Рисунок 3.

5.17 Командная последовательность стирания сектора

Командная последовательность стирания сектора состоит из шести циклов на шине памяти: двух циклов разблокирования, команды «setup», двух дополнительных циклов разблокирования, адреса стираемого сектора и команды «sector erase». В таблице 5 приведены необходимые циклы для входа в этот режим.

Микросхеме не требуется предварительное программирование перед стиранием. Дополнительно контролировать временные характеристики микросхемы после запуска внутреннего алгоритма стирания не требуется.

После записи командной последовательности стирания сектора начинается отсчёт времени ожидания 50 мкс. В течение времени ожидания могут быть записаны дополнительные командные последовательности «sector erase» для других секторов. Загрузка буфера стираемых секторов может происходить в любой последовательности, и количество секторов может быть от одного до двух.

Время между этими дополнительными циклами должно быть не более 50 мкс, иначе последние адрес и команда не будут приняты, и начнется стирание. Если время дополнительных команд «sector erase» меньше, чем 50 мкс, то отслеживать статусный бит D3 не требуется. Любые команды в течение времени ожидания сбрасывают микросхему в режим чтения массива данных. Необходимо перезаписывать командную последовательность и любые дополнительные адреса секторов и команды.

Для определения окончания времени ожидания 50 мкс, необходимо отслеживать статусный бит D3. Время ожидания начинается от последнего положительного фронта nWE в командной последовательности.

Если операция стирания сектора начата, то все команды игнорируются. Аппаратный сброс во время операции стирания сектора немедленно прекращает операцию. После этого командная последовательность стирания сектора должна быть переинициализирована для корректного стирания сектора.

После завершения внутреннего алгоритма стирания, микросхема возвращается в режим чтения массива данных и адрес больше не защелкивается. Статус операции стирания определяется с помощью бит статуса D7, D6 или D2. Для получения более подробной информации об этих статусных битах смотрите раздел «Статус операции программирования».

Алгоритм процедуры стирания показан на Рисунок 3.

5.18 Статус операции программирования

Микросхема выдаёт несколько бит для определения статуса операции записи: D2, D3, D5, D6 и D7. В Таблица 6 и следующих подразделах описываются функции этих бит. С помощью бит D6 и D7 предлагаются методы определения статуса операций программирования и стирания.

Таблица 6 – Биты статуса микросхемы

Операция		D7	D6	D5	D3	D2
Стандартный режим	Алгоритм программирования	Инверсия D7	Переключается	0	нет	Не переключается
	Алгоритм стирания	0	Переключается	0	1	Переключается

5.18.1 Опрашиваемый бит D7

Опрашиваемый бит D7 показывает хост системе статус выполнения внутреннего алгоритма (в прогрессе или завершён). Опрос этого бита правомерен после последнего положительного фронта на nWE в командной последовательности программирования или стирания.

Во время выполнения внутреннего алгоритма программирования, микросхема выводит на D7 инверсную величину по отношению к программируемым данным. После завершения внутреннего алгоритма программирования микросхема выводит на этот вывод программируемые данные. Необходимо выдавать правильный адрес программирования, чтобы прочитать информацию о статусном бите. Если адрес программирования находится в диапазоне защищённого сектора, то бит статуса выводится на D7 на время 2 мкс, а затем микросхема возвращается в режим чтения массива данных.

Во время внутреннего алгоритма стирания на вывод D7 выводится значение «нуля». Когда внутренний алгоритм стирания завершён, на D7 выводится «единица». Это аналогично инверсному выводу данных, описанному в алгоритме программирования данных. Функция стирания меняет все биты в секторе на «единицу», поэтому перед этим микросхема выводит инверсные по отношению к «единице» данные, или «ноль». Чтобы прочитать правильную статусную информацию, на D7 необходимо выдавать адрес в пределах любого сектора, из выбранных для стирания.

После того как записана командная последовательность стирания и все сектора защищены от стирания, бит статуса выводится на D7 на время 70 мкс, а затем микросхема возвращается в режим чтения массива данных. Если не все сектора защищены, внутренний алгоритм стирает все незащищённые сектора и игнорирует выбранные для стирания защищённые.

Если определена смена на D7 с инверсного на правильный, это означает что данные на D7-D0 правильные, так как данные могут меняться асинхронно, если nOE установлен в «ноль».

Состояния выхода D7 в различных режимах приведены в Таблица 6. Блок схема алгоритма опроса статусного бита приведена на рисунке ниже (Рисунок 4).

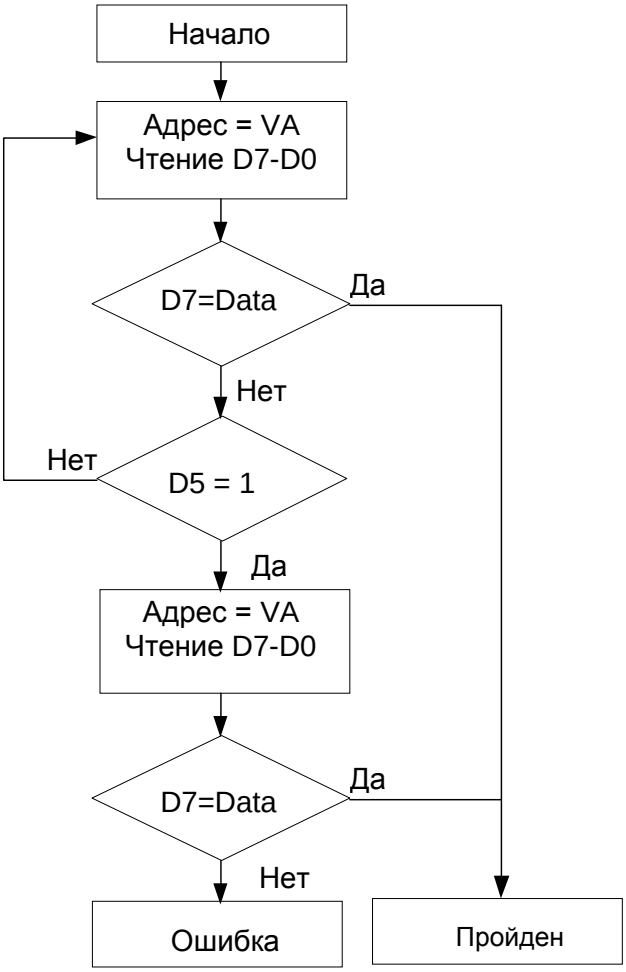


Рисунок 4 – Алгоритм опроса статусного бита

5.18.2 Переключающийся бит 1 на D6

Переключающийся бит 1 показывает статус внутреннего алгоритма стирания или записи. Этот бит может быть прочитан по любому адресу и правомерен после последнего переднего фронта сигнала nWE в командной последовательности (перед операцией программирования или стирания) и во время паузы ожидания при стирании сектора.

Во время внутреннего алгоритма программирования или стирания, цикл чтения по любому адресу изменяет значение статусного бита D6 на инверсное. Можно использовать любой из сигналов nCE или nOE для управления циклами чтения. По завершению операции переключения на D6 останавливаются.

Если записана командная последовательность стирания и все выбранные для стирания сектора защищены, D6 переключается в течение 70 мкс, а затем микросхема переходит в режим чтения массива данных. Если не все выбранные для стирания сектора защищены, внутренний алгоритм стирания стирает незащищённые сектора, а защищённые игнорирует.

Если микросхема стирает сектор (выполняется внутренний алгоритм стирания), D6 переключается. В качестве альтернативы можно использовать бит D7.

В Таблица 6 показаны состояния выхода D6 в различных режимах. Ниже приведена блок схема алгоритма опроса переключающегося бита (Рисунок 5).

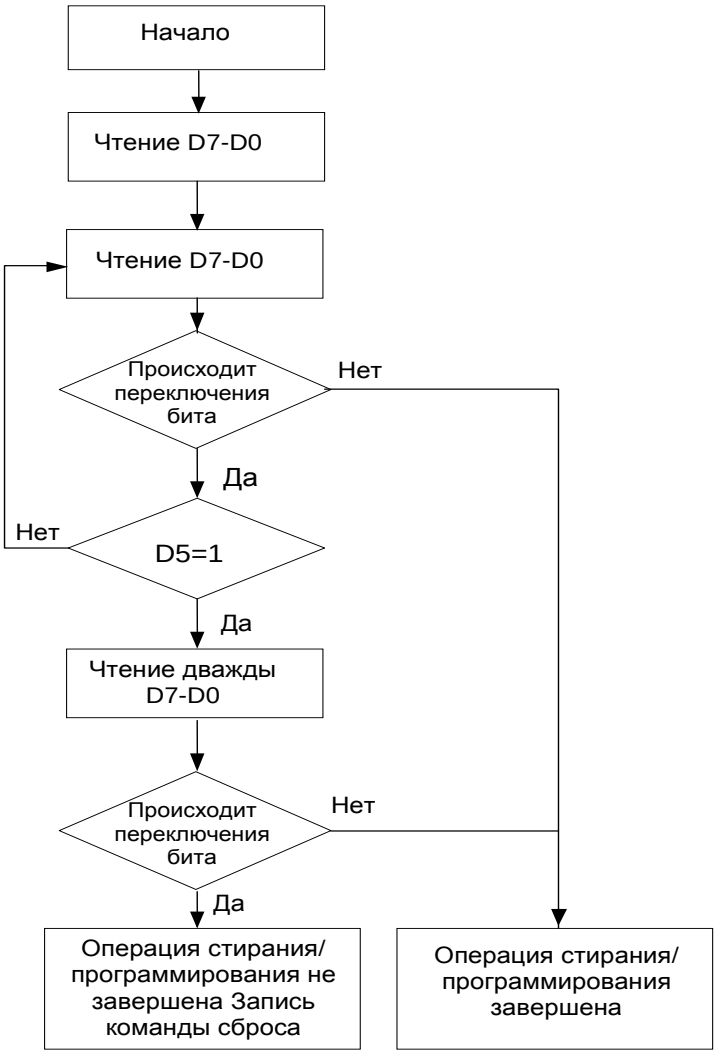


Рисунок 5 – Алгоритм опроса переключающегося бита

5.18.3 Переключающийся бит 2 на D2

Переключающийся бит 2 используется для определения, стирается сектор (выполняется внутренний алгоритм стирания) или нет. Этот бит правомерен только после последнего положительного фронта сигнала nWE в командной последовательности. Бит D2 переключается, когда читают по адресам секторов, выбранных для стирания. Можно использовать сигналы nOE или nCE для управления циклами чтения. На Рисунок 5 приведена блок-схема алгоритма опроса переключающегося бита.

5.18.4 Чтение переключающихся бит D6/D2

При чтении переключающихся бит статуса, необходимо прочитать D7–D0 дважды, чтобы определить, изменяется бит статуса или нет. Обычно после первого чтения сохраняется значение переключающегося бита. После второго чтения сравнивается новое значение статусного бита с первым прочитанным. Если статусный бит не меняется, то операция программирования или стирания завершена. В следующем цикле чтения можно прочитать данные с D7– D0.

Однако, если после двух циклов чтения, определяется, что статусный бит изменяется, необходимо прочитать значение бита D5. Если этот бит установлен в «единицу», необходимо ещё раз определить переключается статусный бит или нет, так как переключения могли завершиться. Если бит статуса больше не переключается, операция стирания или программирования успешно завершена. Если переключающийся бит всё ещё изменяется, операция не была успешно завершена, и необходимо записать команду сброса для возврата микросхемы в режим чтения массива данных.

По подобному алгоритму необходимо продолжать опрос и отслеживание переключающегося бита, если D2 или D6 переключаются и D5 не установлен в «единицу». В качестве альтернативы, можно выполнять другие задачи, а по их завершению определить статус операции.

5.18.5 Бит превышения времени операции D5

Бит D5 позволяет определить, превысила ли операция программирования или стирания отведённый для неё интервал времени. При превышении отведённого на операцию времени бит D5 устанавливается в «единицу». Эта ошибочная ситуация показывает, что операция программирования или стирания не была завершена успешно.

Такая ошибка может возникнуть, если попытаться запрограммировать «единицы» в ячейку, где ранее были запрограммированы «нули». Только операция стирания может изменить содержимое ячейки из «нуля» в «единицу». При таких условиях микросхема останавливает операцию и, когда время операции превысит допустимое, устанавливается бит D5 в «единицу».

В такой ситуации необходимо выдать команду сброса, чтобы перевести микросхему в режим чтения массива данных.

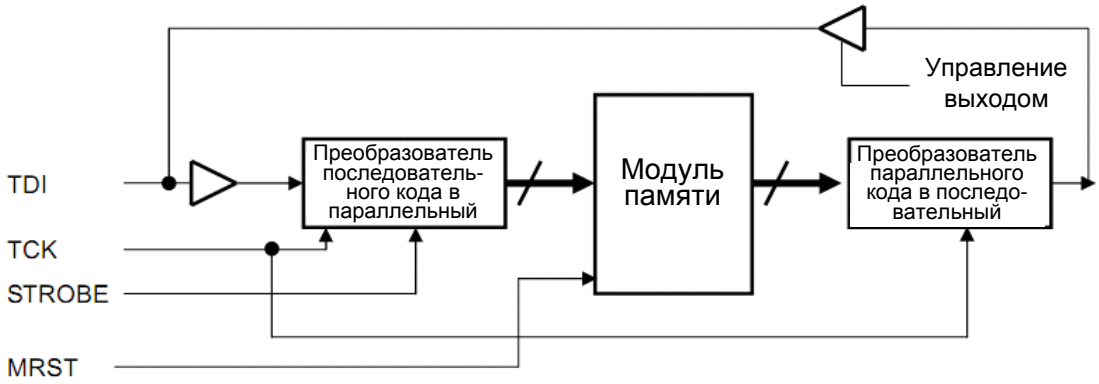
5.18.6 Таймер паузы при стирании сектора D3

После записи командной последовательности стирания сектора можно прочитать бит D3, чтобы определить, началась операция стирания или нет. Этот бит не применим при стирании всей памяти микросхемы. Если выбираются дополнительные сектора для стирания, время ожидания повторяется после каждой дополнительной команды стирания сектора. Когда время ожидания завершено, бит D3 переключается из «нуля» в «единицу». Если время между дополнительными командами стирания сектора не более 50 мкс, можно не отслеживать состояние бита D3.

После записи командной последовательности стирания сектора необходимо прочитать состояние статусных бит D7 или D6, чтобы определить приняла ли микросхема команду, а затем считать D3. Если D3 в «единице», внутренний цикл программирования начался. Все другие команды, игнорируются, пока операция стирания не завершится. Если D3 в «нуле», то микросхема может принимать дополнительные команды стирания сектора. Чтобы быть уверенным, что команда принята, необходимо проверять состояние D3, перед каждой следующей командной последовательностью стирания сектора. Если при повторной проверке D3 в «единице», последняя командная последовательность может быть не принята. В таблице 5 показаны состояния выхода D3 в различных режимах.

5.19 Режим последовательного интерфейса FLASH

Структурная схема последовательного канала приведена на рисунке ниже (Рисунок 6).



Для входа в последовательный режим работы STROBE = 1 должен быть зафиксирован по переднему фронту TCK. Для выхода из последовательного режима необходимо произвести сброс с помощью сигнала MRST = 0

Рисунок 6 – Структурная схема последовательного канала

Через последовательный интерфейс возможно выполнение следующих операций: стирания, записи и чтения памяти, стирания бит защиты. Операции стирания памяти и стирания бит защиты могут быть выполнены одновременно над всем модулем памяти объёмом 2 Мбит. Операции записи и чтения памяти могут выполняться непосредственно с каждой восьми разрядной или 16-ти разрядной ячейкой памяти (разрядность памяти выбирается в команде). При стирании ячейки памяти принимают значение равное единице. При выполнении операции записи производится запись нулей.

Для инициирования стирания или записи необходимо передать командные последовательности (см. подраздел 5.20 «Командные последовательности»), состоящие из нескольких циклов.

5.20 Командные последовательности

Командные последовательности стирания – записи приведены в таблице ниже (Таблица 7).

Таблица 7 – Командные последовательности

Командные последова-тельности	Циклы	Циклы на шине											
		Первый		Второй		Третий		Четвёртый		Пятый		Шестой	
		Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Program	4	555	AA	AAA	55	555	A0	PA	PD				
Main block Erase	6	555	AA	AAA	55	555	80	555	AA	AAA	55	555	10
Info block Erase	6	555	AA	AAA	55	555	80	555	AA	AAA	55	000	50
Примечание – PD – данные, программируемые в ячейку памяти PA.													

Таблица истинности последовательного режима приведена ниже (Таблица 8).

Таблица 8 – Таблица истинности последовательного режима

Стартовый символ [1:0]	Режим работы
00	Полный цикл
01	Командный цикл
10	Цикл чтения
11	Повтор цикла

5.20.1 Режим полного цикла

Временная диаграмма режима полного цикла приведена ниже (Рисунок 7).

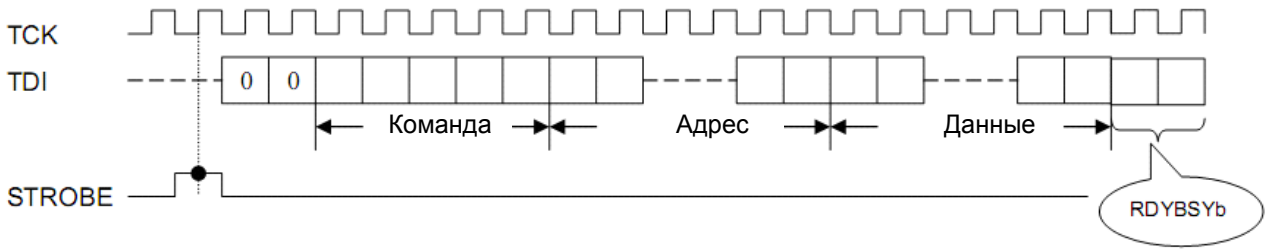


Рисунок 7 – Режим полного цикла

Режим полного цикла может быть только четвёртым при программировании данных или шестым при стирании памяти.

Данный режим инициируется стартовым символом 00, далее последовательно передаются адрес записываемой ячейки памяти или адрес стирания и записываемые данные или соответствующий код стирания (10h или 50h). После этого вывод TDI переключается на выход и на него выводится состояние сигнала BUSY (занятости). В случае инициирования внутреннего алгоритма программирования или стирания этот сигнал переключается в «ноль» через 3 импульса TCK, а по завершению операции переключается в «единицу». Синхросигнал TCK необходимо подавать постоянно до окончания операции (для режима программирования TCK = 5 МГц, для режима стирания TCK = 2 МГц). Для гарантированного считывания сигнала BUSY необходимо

производить не менее четырёх последовательных выборок с объединением результата по «И».

Команды (структура команд приведена на рисунке 8), адрес и данные передаются младшими разрядами вперёд. В случае восьми разрядных данных адрес передаётся 17-ти разрядный, в случае 16-ти разрядных данных адрес передаётся 16-ти разрядный. Данные также передаются соответственно восьми или 16-ти разрядные. Следует также учитывать одну особенность при стирании: если необходимо записать по адресу 555h код стирания 10h, в 8-ми разрядном режиме адрес 17-ти разрядный, то его нужно сдвинуть влево на разряд, так как младший разряд в данном случае не используется. Т.е. записывать по адресу AAAh код стирания 10h. В случае записи 16-ти разрядных данных: младший байт берется из таблицы, а старший байт имеет нулевое значение.

MSB												LSB
CEB4	NVRB4	CEB3	NVRB3	CEB2	NVRB2	CEB1	NVRB1	OEB	WEB	TMEN	BYTEB	VREAD

Рисунок 8 – Структура команды для памяти

CEB4 – сигнал разрешения для 2-го подблока 2-го блока основной страницы флэш-памяти;
NVRB4 – сигнал разрешения для 2-го блока, содержащего бит защиты флэш-памяти;
CEB3 – сигнал разрешения для 1-го подблока 2-го блока основной страницы флэш-памяти;
NVRB3 – сигнал разрешения для 2-го блока, содержащего бит защиты флэш-памяти;
CEB2 – сигнал разрешения для 2-го подблока 1-го блока основной страницы флэш-памяти;
NVRB2– сигнал разрешения для 1-го блока, содержащего бит защиты флэш-памяти;
CEB1 – сигнал разрешения для 1-го блока основной страницы флэш-памяти;
NVRB1 – сигнал разрешения для 1-го блока, содержащего бит защиты флэш-памяти;
OEB – сигнал разрешения вывода для всех блоков флэш-памяти;
WEB – сигнал разрешения записи (или стирания памяти и битов защиты) для всех блоков флэш-памяти;
TMEN – должен быть в нуле;
BYTEB – выбирает разрядность памяти 1–16 разрядов, 0–8 разрядов;
VREAD – должен быть в нуле.

Активный уровень сигналов CEBx, NVRBx, OEB, WEB – «логический ноль».

Память состоит из 2 блоков (состоящих из двух подблоков) размером по 2 Мбит. Каждый подблок ёмкостью 1 Мбит выбирается соответствующими сигналами разрешения памяти CEBx.

Для чтения допустим выбор только одного подблока. Для записи одновременно возможен выбор только 1-х подблоков или 2-х подблоков 1-го и 2-го блока.

Выбор одновременно любой другой комбинации недопустим. Биты защиты для каждого блока хранятся отдельно и доступ к ним осуществляется с помощью сигналов разрешения NVRBx. Установкой NVRB1 или NVRB2 осуществляется доступ к битам защиты блока 1. Установкой NVRB3 или NVRB4 осуществляется доступ к битам защиты блока 2.

5.20.2 Режим командного цикла

Временная диаграмма режима командного цикла приведена ниже (Рисунок 9).

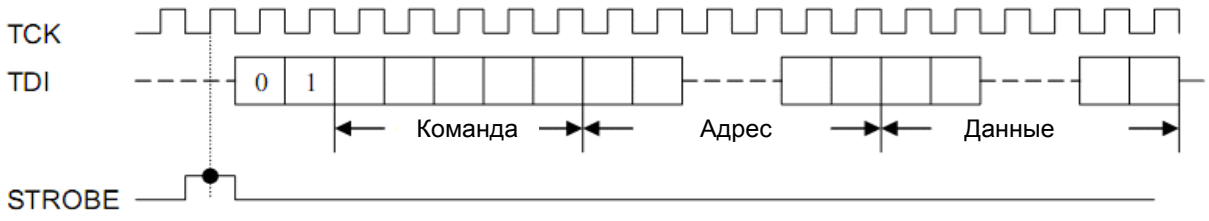


Рисунок 9 – Режим командного цикла

Данный цикл может быть только первым, вторым, третьим при программировании данных и любым при стирании данных.

Данный режим инициируется стартовым символом 01, также как и в полном цикле, затем следует команда, адрес и данные. Отличие состоит в том, что в этом режиме адрес фиксирован и всегда 12-ти разрядный. Данные также фиксированы и всегда восьми разрядные. Для выполнения цикла, после его передачи необходимо подать не менее трёх дополнительных импульсов TCK.

5.20.3 Режим цикла чтения

Временная диаграмма режима цикла чтения приведена ниже (Рисунок 10).

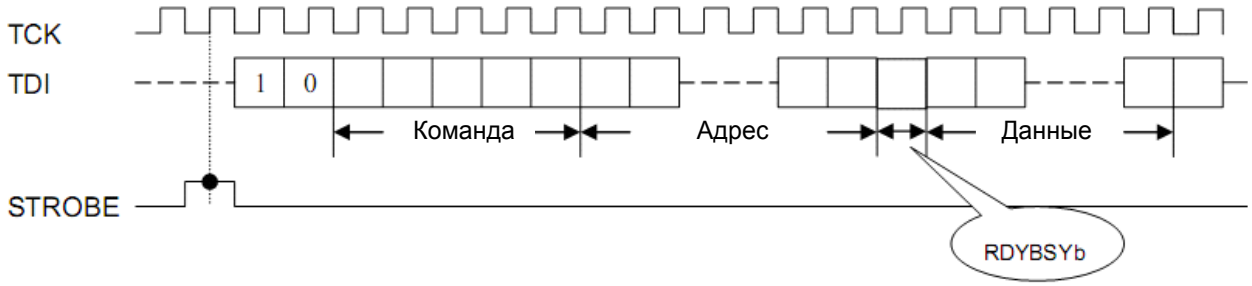


Рисунок 10 – Режим цикла чтения

Режим инициируется стартовым символом 10, далее последовательно через вывод TDI передаются команда и адрес, затем вывод TDI переключается на выход и выводится содержимое сигнала занятости BUSY, который сигнализирует, инициирована или нет последовательность программирования или стирания. Если BUSY в «единице», далее младшими разрядами вперёд выдвигаются данные соответствующей разрядности. Адрес 17-ти разрядный для восьми разрядного режима данных и 16-ти разрядный для 16-ти разрядного режима данных.

5.20.4 Повтор цикла чтения

Временная диаграмма повтора цикла чтения приведена ниже (Рисунок 11).

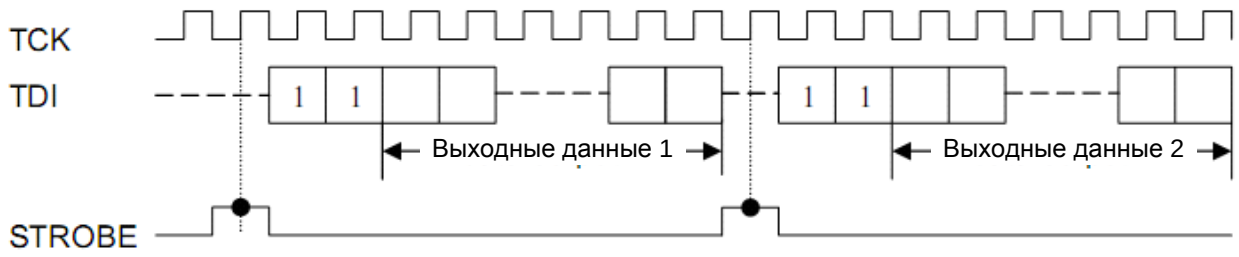


Рисунок 11 – Повтор цикла чтения

Если предыдущий режим – цикл чтения, и текущий стартовый символ 11, то происходит повтор цикла чтения. Данные по адресу, равному предыдущему адресу плюс единица, выводятся на выход TDI последовательно младшими разрядами вперёд. После этого адрес автоматически инкрементируется и происходит ожидание следующего высокого уровня сигнала STROBE. Если следующий стартовый символ 11, то происходит повтор чтения, а затем инкремент адреса и так далее. Разрядность данных соответствует разрядности данных предыдущего цикла чтения.

5.20.5 Повтор цикла записи

Временная диаграмма повтора цикла записи приведена ниже (Рисунок 12).

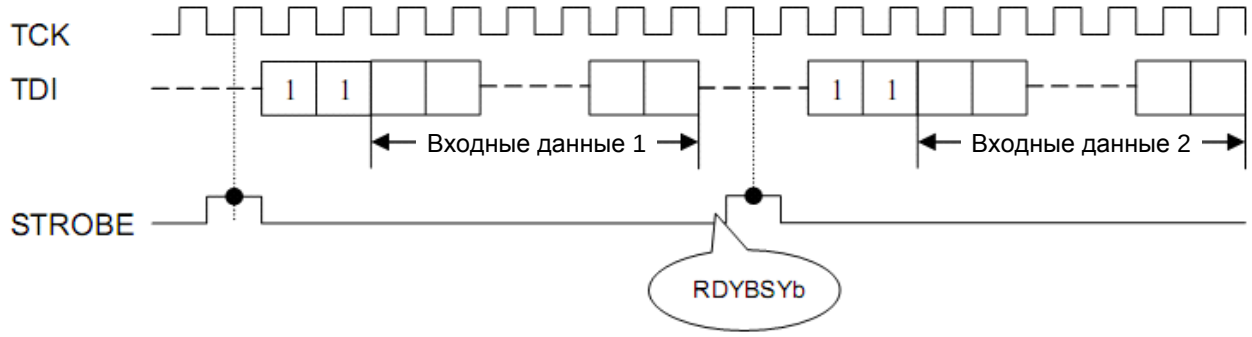


Рисунок 12 – Повтор цикла записи

Если предыдущий режим работы – режим полного цикла, и текущий стартовый символ 11, то происходит повтор цикла записи данных, записываемых последовательно по линии TDI, по адресу, равному предыдущему плюс единица. Затем происходит вывод состояния сигнала занятости BUSY на выход TDI (аналогично режиму полного цикла). После окончания записи адрес автоматически инкрементируется и ожидается следующий высокий уровень сигнала STROBE. Если следующий стартовый символ 11, то происходит повтор записи, а затем инкремент адреса и так далее. Разрядность данных соответствует разрядности данных предыдущего полного цикла.

5.21 Последовательный интерфейс SPI

Модуль памяти может управляться хост-контроллером, который выдаёт инструкции обычно в режиме SPI мастер. SPI мастер соединяется с модулем памяти с помощью шины SPI состоящей из четырёх линий: nCE, SCK, SI, SO. Для выбора последовательного интерфейса в качестве основного используется линия SEL_SPI (активный уровень логическая единица).

SPI протокол имеет четыре режима работы (0, 1, 2 или 3), различие между которыми заключается в полярности и фазе сигнала SCK. Модуль памяти поддерживает два наиболее часто применяемых режима 0 и 3. Временная диаграмма режимов SPI 0 и 3 приведена на рисунке ниже (Рисунок 13). Различие между ними заключается в неактивном состоянии линии SCK (когда мастер SPI в режиме отсутствия передачи данных). В обоих этих режимах данные всегда захватываются с шины по переднему фронту SCK и всегда выставляются на шину по заднему фронту SCK.

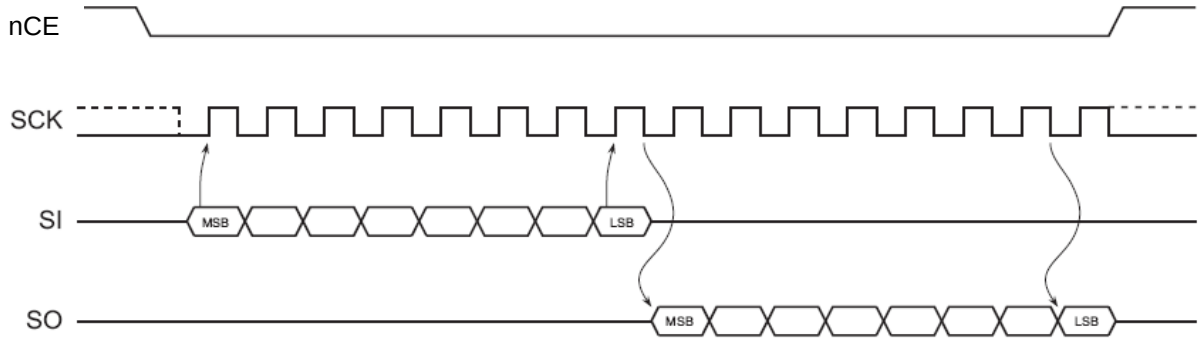


Рисунок 13 – Временная диаграмма режимов SPI 0 и 3

5.22 Команды и адресация

Допустимые инструкции или операции всегда должны начинаться установкой в активное состояние линии nCE. После того как nCE установлен, хост-контроллер должен выставить на шину SPI достоверный 8-ми разрядный код операции. Затем в зависимости от типа операции, выставляются адрес и (или) данные, тактируемые хост-контроллером. Все коды операций, адреса и данные передаются на шину старшими разрядами вперёд (MSB). Операция заканчивается переводом линии nCE в неактивное состояние.

Коды операций, не поддерживаемые модулем памяти, игнорируются, и операция не стартует. Микросхема также игнорирует данные на входе SI до тех пор, пока не стартует следующая операция (nCE линия должна быть установлена в неактивное состояние, а затем переведена в активное состояние). Если линия nCE переводится в неактивное состояние, прежде чем закончится передача кода операции и адресной информации, операция не начнётся и модуль памяти вернётся в неактивное состояние для ожидания следующей операции.

Для передачи адреса, состоящего из адресных бит A18-A0, необходимо послать три байта информации по шине SPI. Адресные биты A23-A19, передаваемые по шине всегда игнорируются, так как максимально адресуемый диапазон адресов модуля памяти 00000h-7FFFFh.

Перечень поддерживаемых команд приведён ниже (Таблица 9). Описание команд приведено в последующих разделах.

Таблица 9 – Перечень поддерживаемых команд

Команда	Код команды	Частота, МГц	Байт адреса	Байт фиктивных	Байт данных
Read Array	03h 0000 0011	до 15	3	0	1
	0Bh 0000 1011	до 30	3	1	1
Sector Erase	D8h 1101 1000	до 50	3	0	0
Chip Erase	60h 0110 0000	до 50	0	0	0
Byte Program	02h 0000 0010	до 50	3	0	1
Write Enable	06h 0000 0110	до 50	0	0	0
Write Disable	04h 0000 0100	до 50	0	0	0
Protect Sector	36h 0011 0110	до 50	3	0	0
Unprotect Sector	39h 0011 1001	до 50	3	0	0
Read Sector Protection Register	3Ch 0011 1100	до 30	3	0	1
Read Status Register	05h 0000 0101	до 30	0	0	1
Write Status Register	01h 0000 0001	до 50	0	0	1
Reset	F0h 1111 0000	до 50	0	0	1
Read ID микросхемы и производителя	9Fh 1001 1111	до 30	0	0	2

5.23 Операция чтения массива данных

Команда Read Array может применяться при чтении непрерывного потока данных из модуля памяти, обеспечивая тактирование на линии SCK, установив стартовый адрес один раз. Модуль памяти содержит внутренний счётчик адреса, который автоматически инкрементируется на каждом периоде тактовых импульсов. Два кода операции (0Bh и 03h) могут быть использованы для команды Read Array. Применение каждого из кодов зависит от максимальной частоты тактовых сигналов, которая используется для чтения данных из микросхемы. Код операции 03h используется для наименьшей частоты до 15 МГц, код операции 0Bh используется для максимальной частоты до 30 МГц.

Для выполнения операции чтения, линия nCE должна быть установлена в активное состояние, и соответствующий код операции передан в микросхему. После передачи кода операции должны быть переданы три байта адреса, определяющие стартовый адрес первого байта для чтения внутри массива данных. Следом за адресными байтами может передаваться фиктивный байт в зависимости от кода операции, используемой в команде Read Array. Если используется код операции 0Bh, передаётся один фиктивный байт.

После передачи всей необходимой командной последовательности производится считывание данных на линии SO. Данные всегда выставляются старшими разрядами вперёд (MSB). Если считан последний байт (адрес 7FFFFh) массива памяти, микросхема продолжает чтение с начала массива (адрес 000000h). Задержек при этом не происходит.

При установке линии nCE в неактивное состояние операция чтения прекращается, и линия SO переходит в высокоимпедансное состояние. Операция чтения может быть прервана в любой момент.

Временные диаграммы операций чтения с кодом 0Bh и кодом 03h приведены ниже (Рисунок 14, Рисунок 15).

Не обязательно читать полный байт данных.

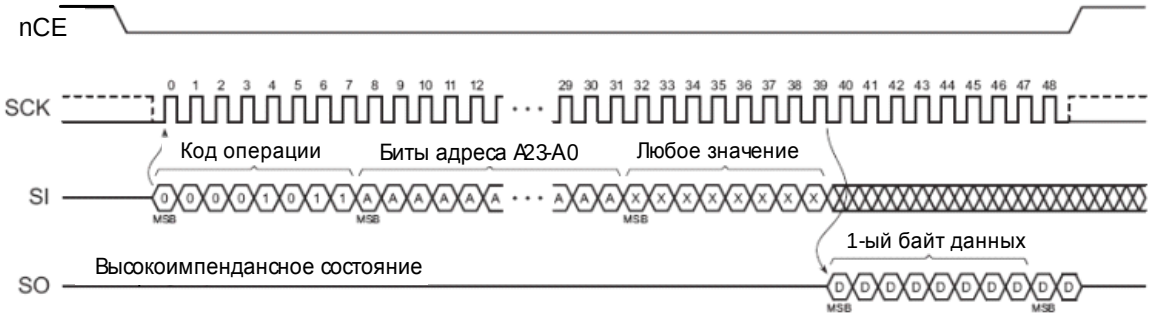


Рисунок 14 – Операция чтения с кодом 0Bh

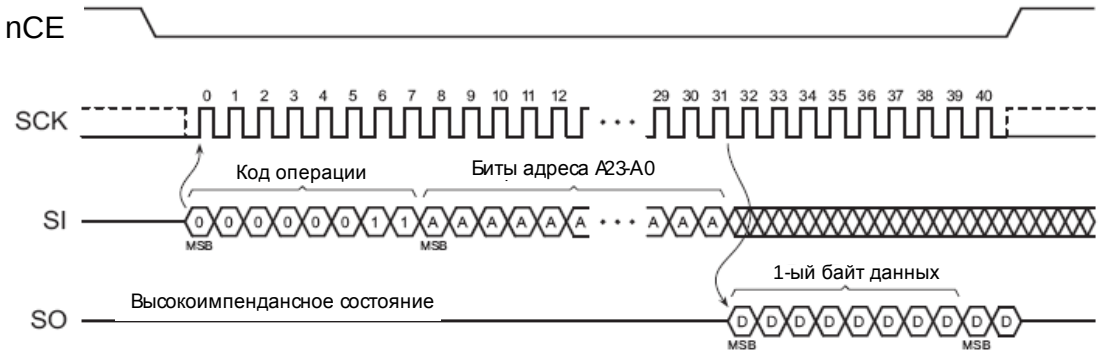


Рисунок 15 – Операция чтения с кодом 03h

5.24 Операция программирования байта

Команда Byte Program позволяет запрограммировать один байт данных в предварительно стёртую ячейку модуля памяти. При стирании ячейки памяти все восемь бит устанавливаются в состояние логической единицы (значение FFh). Перед выполнением команды Byte Program необходимо выполнить команду Write Enable, чтобы установить бит WEL регистра статуса в логическую единицу.

Для выполнения команды Byte Program необходимо передать в модуль памяти код операции 02h, три адресных байта и байт данных для программирования. После перевода линии nCE в неактивное состояние микросхема начнёт программирование байта в ячейку памяти с адресом, переданным в команде Byte Program. Перевод линии nCE в неактивное состояние должен происходить на границе байта (кратно восьми бит), в противном случае модуль памяти прервёт операцию, и данные не будут запрограммированы в ячейку памяти. Если адрес ячейки – в пределах сектора, находящегося в защищённом состоянии, операция программирования байта не будет выполнена, модуль памяти вернётся в неактивное состояние после перевода линии nCE в логическую единицу. Значение бита WEL в регистре статуса будет сброшено в состояние логического нуля, если операция программирования прервана неполным адресом или данными или была попытка программирования в защищённый сектор.

Во время операции программирования можно считать регистр статуса, который показывает состояние занятости модуля памяти. Рекомендуется производить чтение не ранее, чем через 200 мкс, необходимых для программирования байта. Перед завершением операции программирования бит WEL регистра статуса сбросится в состояние логического нуля.

Микросхема включает алгоритм детектирования ошибки при программировании ячейки: если после операции программирования ячейка не содержит ожидаемое значение, устанавливается бит EPE регистра статуса. Временная диаграмма операции программирования байта приведена ниже (Рисунок 16).

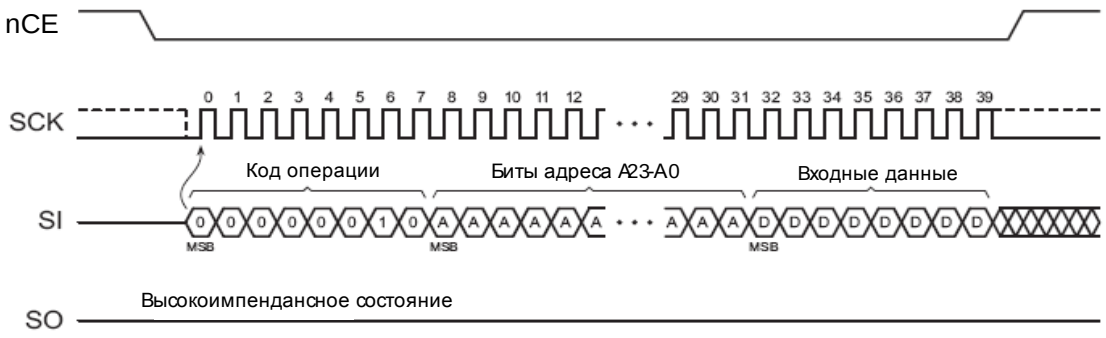


Рисунок 16 – Операция программирования байта

5.25 Операция стирания сектора

Блок размером 256 Кбайт может быть стёрт (все биты установлены в состояние логической единицы) командой Sector Erase. Для выполнения команды используется код операции D8h. Прежде чем выполнить команду Sector Erase, необходимо выполнить команду Write Enable для установки бита WEL регистра статуса в состояние логической единицы.

Для выполнения команды Sector Erase необходимо установить в активное состояние линию nCE, передать код операции D8h и три адресных байта, устанавливающих адрес стираемого сектора, согласно Таблица 3. Все дальнейшие данные, загружаемые в микросхему, игнорируются. После перевода линии nCE в неактивное состояние начинается стирание соответствующего сектора.

Младшие адресные биты A17-A0 не декодируются при определении номера стираемого сектора, поэтому они могут быть в состоянии логического нуля или единицы. Несмотря на то, что младшие адресные биты не декодируются, все три адресных байта должны быть переданы в модуль памяти прежде, чем линия nCE перейдёт в неактивное состояние. Если это произойдёт не на границе байта (кратно восьми бит), микросхема прервёт операцию и стирание не будет выполнено.

Если адресные биты, переданные в команде, указывают на защищённый сектор, то команда Sector Erase также не будет выполнена, и модуль памяти вернется в неактивное состояние после установки линии nCE в логическую единицу.

Бит WEL в регистре статуса при возникновении одной из вышеперечисленных ошибочных ситуаций сбросится в состояние логического нуля.

Во время выполнения операции стирания сектора может быть прочитан регистр статуса, который показывает, что микросхема находится в состоянии занятости. Рекомендуется производить считывание регистра статуса не раньше, чем через время 110 мс, необходимое для стирания сектора. Перед завершением операции

стирания сектора бит WEL регистра статуса сбрасывается в состояние логического нуля.

Микросхема выполняет алгоритм детектирования ошибки при стирании сектора: если операция стирания не выполнена должным образом, устанавливается бит EPE регистра статуса.

Временная диаграмма операции стирания сектора приведена ниже (Рисунок 17).

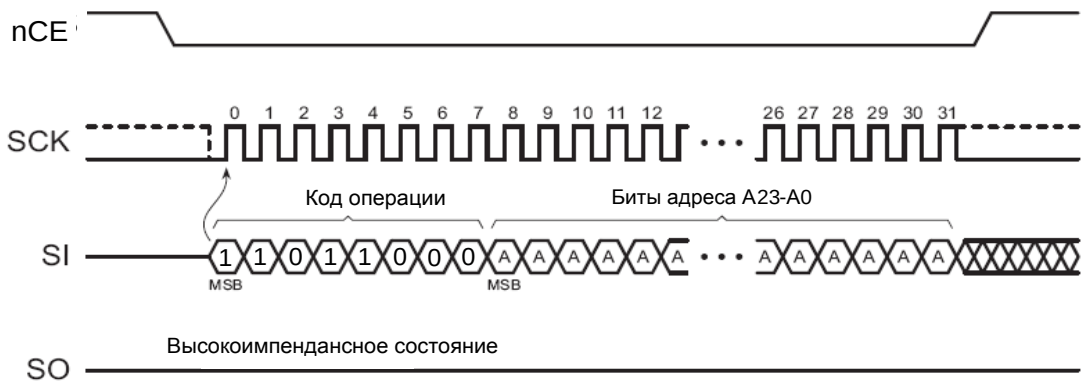


Рисунок 17 – Операция стирания сектора

5.26 Операция стирания всей памяти

Вся память может быть стёрта одной операцией, используя команду Chip Erase. Перед выполнением команды Chip Erase необходимо выполнить команду Write Enable, которая устанавливает бит WEL регистра статуса в логическую единицу.

Для выполнения команды Chip Erase необходимо передать в микросхему код операции 60h. При стирании всей памяти нет необходимости передавать в микросхему адресные байты, и любые данные после передачи кода операции будут игнорированы. После перевода линии nCE в логическую единицу начнется процесс стирания всей памяти. nCE должен переключаться на границе байта (кратно восьми бит), в противном случае операция стирания не будет выполнена. Если любой сектор массива памяти находится в защищённом состоянии, команда Chip Erase не будет выполнена, модуль памяти вернётся в неактивное состояние после перевода линии nCE в логическую единицу. Бит WEL в регистре статуса при возникновении любой из ошибочных ситуаций сбросится в состояние логического нуля.

Во время выполнения операции стирания всей памяти может быть прочитан регистр статуса, который показывает, что микросхема находится в состоянии занятости. Рекомендуется производить считывание регистра статуса не ранее, чем через время 350 мс, необходимое для стирания всей памяти. Перед завершением операции стирания сектора бит WEL регистра статуса сбрасывается в состояние логического нуля.

Микросхема также выполняет алгоритм детектирования ошибки при стирании сектора: если операция стирания не выполнена должным образом, устанавливается бит EPE регистра статуса.

Временная диаграмма операции стирания всей памяти приведена ниже (Рисунок 18).

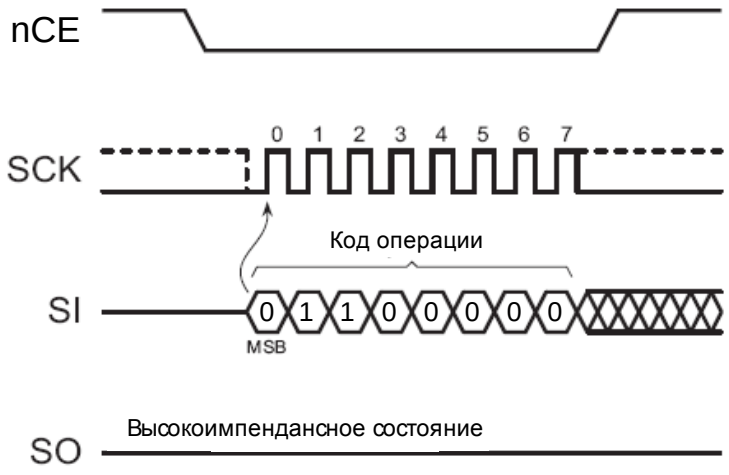


Рисунок 18 – Операция стирания всей памяти

5.27 Операция разрешения записи

Команда Write Enable используется для установки бита WEL регистра статуса в состояние логической единицы. Бит WEL должен быть установлен перед выполнением команд Byte Program, Erase, Protect Sector, Unprotect Sector, Write Status Register. Это позволяет выполнять эти команды в два этапа, уменьшая возможность случайного или ошибочного выполнения этих команд. Если бит WEL в регистре статуса не установлен прежде, чем выдаётся одна из этих команд, команда не будет выполнена.

При выдаче команды Write Enable линия nCE должна быть в логическом нуле, код операции 06h должен загружаться в модуль памяти. Загрузка адресных байт в модуль памяти не требуется, все данные, переданные после кода операции игнорируются. После перехода линии nCE в состояние логической единицы бит WEL регистра статуса устанавливается в логическую единицу. Код операции должен быть полностью загружен в модуль памяти перед изменением сигнала nCE, иначе операция будет прервана и бит WEL не изменится.

Временная диаграмма операции разрешения записи приведена ниже (Рисунок 19).

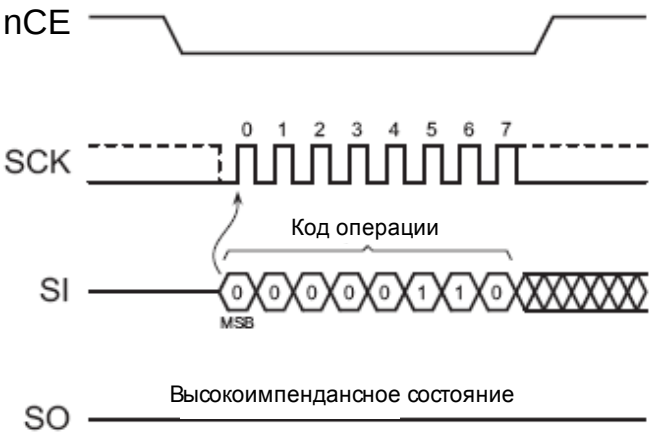


Рисунок 19 – Операция разрешения записи

5.28 Операция запрета записи

Команда Write Disable используется для сброса бита WEL регистра статуса в состояние логического нуля. После этого команды Byte Program, Erase, Protect Sector, Unprotect Sector, Write Status Register не могут быть выполнены. Другие условия сброса бита WEL, приведены в подразделе «WEL тест».

При выдаче команды Write Disable линия nCE должна быть в логическом нуле, код операции 04h должен загружаться в модуль памяти. Загрузка адресных байт в модуль памяти не требуется, все данные переданные после кода операции игнорируются. После перехода линии nCE в состояние логической единицы бит WEL регистра статуса сбрасывается в ноль. Код операции должен быть полностью загружен в модуль памяти перед изменением сигнала nCE, иначе операция будет прервана и бит WEL не изменится.

Временная диаграмма операции запрета записи приведена ниже (Рисунок 20).

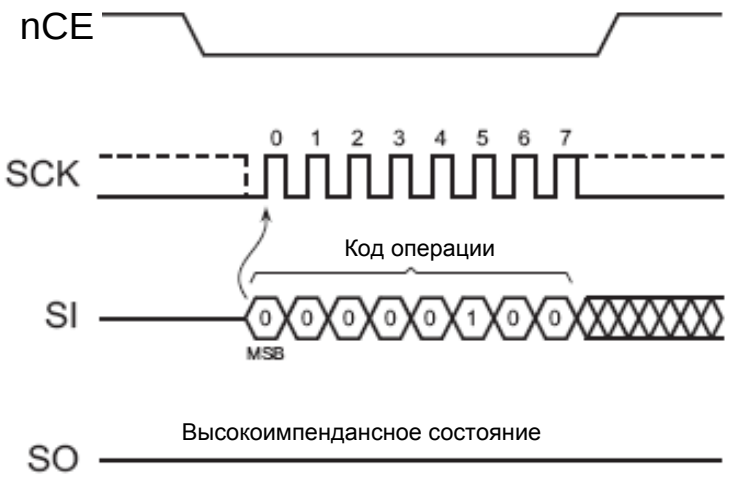


Рисунок 20 – Операция запрета записи

5.29 Операция защиты сектора

Каждый физический сектор размером 256 Кбайт имеет соответствующий однобитный регистр защиты сектора, который используется для программного управления защитой сектора. После включения питания регистр защиты каждого сектора по умолчанию находится в состоянии логической единицы, указывающей, что каждый сектор защищён и не может быть запрограммирован или стёрт.

Выдача команды Protect Sector с индивидуальным адресом устанавливает регистр защиты соответствующего сектора в состояние логической единицы. Ниже указаны оба возможных состояния регистра защиты сектора (Таблица 10).

Таблица 10 – Значения регистра защиты сектора

Значение	Статус защиты сектора
0	Сектор не защищён и может быть запрограммирован или стёрт
1	Сектор защищён и не может быть запрограммирован или стёрт. Значение по умолчанию

Перед выдачей команды Protect Sector необходимо командой Write Enable установить бит WEL в состояние логической единицы. При выдаче команды Protect Sector линия nCE устанавливается в состояние логического нуля и код операции 36h загружается в модуль памяти, следом за ним загружаются три байта адреса, указывающие на ячейку в пределах защищаемого сектора. Любые дополнительные данные, передаваемые в модуль памяти, после передачи игнорируются. После перевода линии nCE в логическую единицу регистр защиты сектора, соответствующий адресу A23-A0, устанавливается в состояние логической единицы, таким образом, сектор будет защищён от дальнейших операций записи и стирания. При этом бит WEL регистра статуса сбрасывается в состояние логического нуля.

Полные три байта адреса должны быть загружены в модуль памяти прежде, чем произойдёт переход линии nCE в неактивное состояние. Если состояние линии nCE изменится не на границе байта (кратно восьми бит), модуль памяти прервёт операцию. Когда модуль памяти прерывает операцию защиты сектора, состояние регистра защиты сектора не меняется, бит WEL регистра статуса сбрасывается в состояние логического нуля.

Для защиты от случайного или ошибочного снятия или установки защиты сектора имеется возможность блокировки регистра защиты сектора от изменения с помощью бита SPRL регистра статуса (смотри описание регистра статуса). Если регистр защиты сектора заблокирован, любая попытка выдачи команды Protect Sector будет игнорироваться, микросхема сбросит бит WEL регистра статуса обратно в логический ноль и вернется в неактивное состояние при изменении сигнала nCE.

Временная диаграмма операции защиты сектора приведена ниже (Рисунок 21).

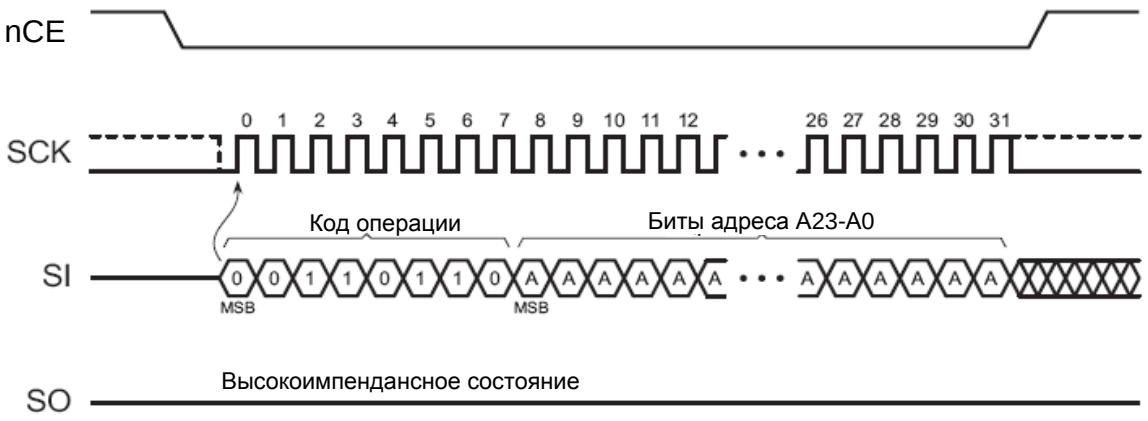


Рисунок 21 – Операция защиты сектора

5.30 Операция снятия защиты сектора

Выдача команды Unprotect Sector с индивидуальным адресом сбрасывает соответствующий регистр защиты сектора в состояние логического нуля. Каждый физический сектор модуля памяти имеет соответствующий однобитный регистр защиты сектора, который используется для программного управления защитой сектора.

Перед выдачей команды Unprotect Sector необходимо командой Write Enable установить бит WEL в состояние логической единицы. При выдаче команды Unprotect

Sector линия nCE устанавливается в состояние логического нуля и код операции 39h загружается в модуль памяти, затем загружаются три байта адреса, указывающие на ячейку в пределах разблокируемого сектора. Любые дополнительные данные, передаваемые в модуль памяти после этого, игнорируются. После перевода линии nCE в логическую единицу регистр защиты сектора, соответствующий адресу A23-A0, сбрасывается в состояние логического нуля, и защита сектора снимается. При этом бит WEL регистра статуса сбрасывается в состояние логического нуля.

Полные три байта адреса должны быть загружены в модуль памяти прежде, чем произойдёт переход линии nCE в неактивное состояние. Если состояние линии nCE изменится не на границе байта (кратно восьми бит), модуль памяти прервёт операцию. Когда модуль памяти прерывает операцию снятия защиты сектора, состояние регистра защиты сектора не меняется, бит WEL регистра статуса сбрасывается в состояние логического нуля.

Для защиты от случайного или ошибочного снятия или установки защиты сектора имеется возможность блокировки регистра защиты сектора от изменения с помощью бита SPRL регистра статуса (смотри описание регистра статуса). Если регистр защиты сектора заблокирован, любая попытка выдачи команды Unprotect Sector будет игнорироваться, микросхема сбросит бит WEL регистра статуса обратно в логический ноль и вернется в неактивное состояние при изменении сигнала nCE.

Временная диаграмма операции снятия защиты сектора приведена ниже (Рисунок 22).

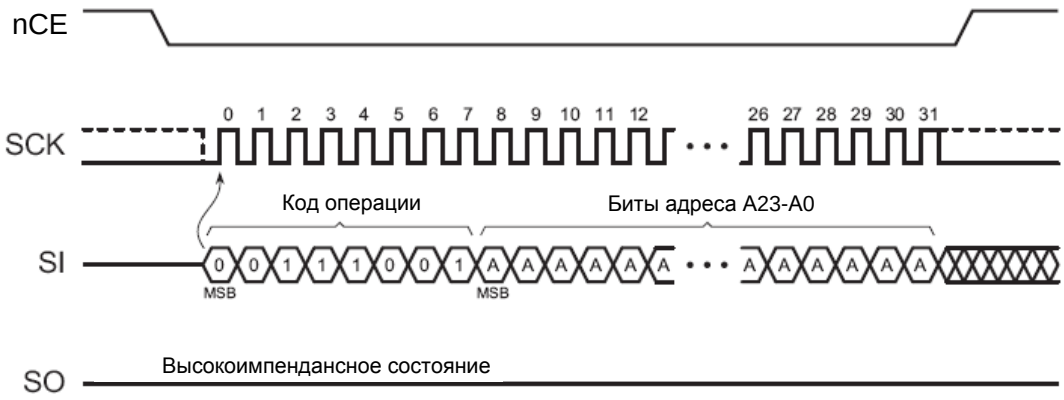


Рисунок 22 – Операция снятия защиты сектора

5.31 Операция чтения регистра защиты сектора

Регистр защиты сектора может быть прочитан для определения текущего статуса защиты каждого сектора.

Для чтения регистра защиты определённого сектора линия nCE должна быть в активном состоянии и код операции 3Ch загружен в модуль памяти. После загрузки кода операции загружается три адресных байта, указывающие на ячейку в пределах сектора. После загрузки последнего байта адреса модуль памяти начинает выдачу данных на линию SO на каждом периоде частоты SCK. На выходе данных повторяются байты FFh или 00h, указывающие на соответствующее значение регистра защиты сектора.

При высокой частоте SCK первый байт данных на линии SO может быть некорректным, следовательно, необходимо получить не менее двух байт с линии SO, чтобы корректно определить состояние соответствующего регистра защиты сектора.

Ниже приведены выходные данные при чтении регистра защиты сектора (Таблица 11).

Таблица 11 – Выходные данные при чтении регистра защиты сектора

Выходные данные	Значение регистра защиты сектора
00h	Значение регистра защиты сектора 0 (сектор не защищён)
FFh	Значение регистра защиты сектора 1 (сектор защищён)

Перевод линии nCE в неактивное состояние прерывает операцию чтения и переводит линию SO в высокоимпедансное состояние. Линия nCE может перейти в неактивное состояние в любой момент времени, чтение полного байта не требуется.

В дополнение к чтению индивидуального регистра защиты сектора в регистре статуса биты SWP позволяют определить все сектора, часть секторов или один из секторов не защищены от изменения.

Временная диаграмма операции чтения регистра защиты сектора приведена ниже (Рисунок 23).

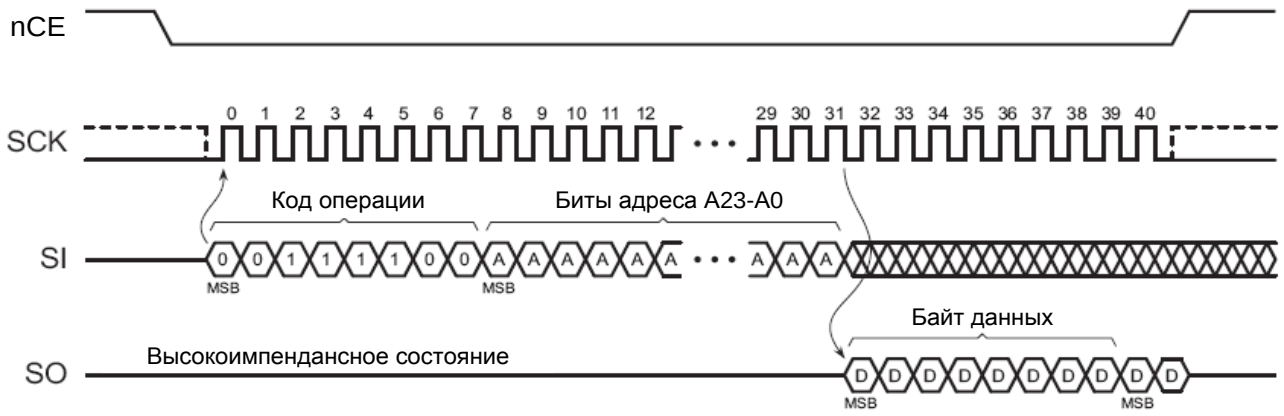


Рисунок 23 – Операция чтения регистра защиты сектора

5.32 Операция чтения регистра статуса

Регистр статуса может быть прочитан для определения состояния модуля памяти ready/busy, а также статуса многих других функций. Регистр статуса может быть прочитан в любое время, даже во время выполнения внутренних операций программирования и стирания.

Для чтения регистра статуса необходимо установить линию nCE в активное состояние и выдать код операции 05h в модуль памяти. После выдачи кода операции модуль памяти выставляет данные регистра статуса на линию SO на каждом такте частоты SCK. После выгрузки байта выдача данных повторяется до тех пор, пока линия nCE остаётся в активном состоянии и присутствуют импульсы на выводе SCK. Данные регистра статуса постоянно обновляются, поэтому повторное чтение приведёт к выдаче новых данных.

Временная диаграмма операции чтения регистра статуса приведена ниже (Рисунок 24).

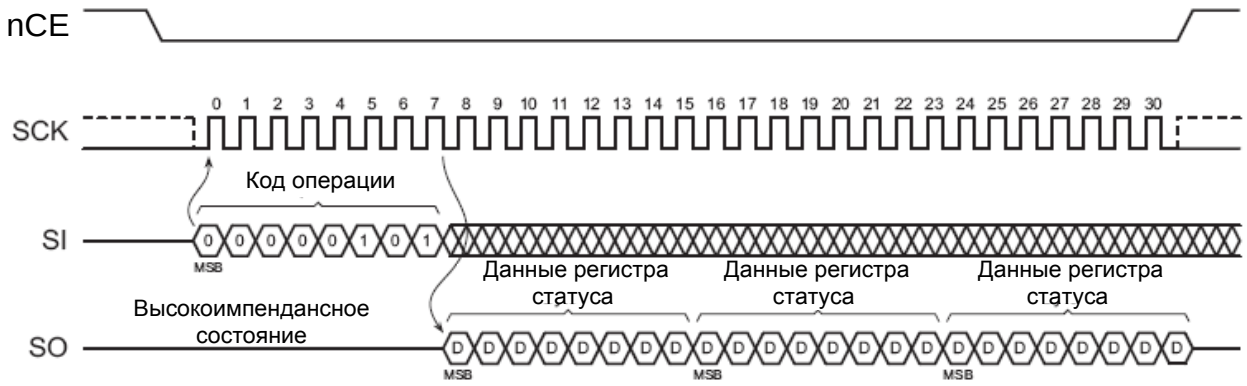


Рисунок 24 – Операция чтения регистра статуса

При высокой частоте SCK первый байт данных на линии SO может быть некорректным, следовательно, необходимо получить не менее двух байт с линии SO, чтобы корректно определить состояние регистра статуса.

Перевод линии nCE в неактивное состояние прерывает операцию чтения регистра статуса и переводит линию SO в высокоимпедансное состояние. Изменение состояния линии nCE может происходить в любое время, чтения полного байта данных не требуется.

Назначение бит регистра статуса приведено ниже (Таблица 12).

Таблица 12 – Назначение бит регистра статуса

Номер бита	Название бита		Доступ	Описание	
7	SPRL	Блокировка регистров защиты сектора	R/W	0	Регистры защиты сектора не заблокированы (по умолчанию)
				1	Регистры защиты сектора заблокированы
6	RSTE	Разрешение сброса	R/W	0	Команда сброса запрещена (по умолчанию)
				1	Команда сброса разрешена
5	EPE	Ошибка стирания/записи	R	0	Операция стирания или записи завершилась успешно
				1	Обнаружена ошибка во время операции записи или стирания
4	RES	Резерв	–	0	Зарезервирован для будущего использования
3:2	SWP	Состояние защищённости секторов	R	00	Все сектора не защищены (состояние всех регистров защиты сектора логический ноль)
				01	Некоторые сектора защищены. Чтение индивидуальных регистров защиты секторов позволяет определить, какие сектора защищены.
				10	Зарезервированы для будущего использования
				11	Все сектора защищены (состояние всех регистров защиты секторов логическая единица – по умолчанию)
1	WEL	Бит состояния доступа в микросхему	R	0	Микросхема не доступна для записи (по умолчанию)
				1	Микросхема доступна для записи

Номер бита	Название бита		Доступ	Описание	
0	RDY/ BSY	Бит состояния готовности микросхемы	R	0	Микросхема готова
				1	Микросхема занята внутренней операцией

Примечания:
1 Только биты 7 и 6 регистра статуса могут быть модифицированы командой Write Status Register.
2 R/W – чтение и запись
R – только чтение

5.32.1 SPRL бит

Этот бит применяется для контроля модификации регистров защиты секторов. Если SPRL в состоянии логической единицы, все регистры защиты секторов заблокированы и не могут быть модифицированы командами Protect Sector и Unprotect Sector (микросхема игнорирует эти команда). Если SPRL в состоянии логического нуля, все регистры защиты секторов разблокированы и могут быть модифицированы командами Protect Sector и Unprotect Sector. После включения питания по умолчанию бит SPRL в состоянии логического нуля. Команда Reset не влияет на состояние бита SPRL. Для изменения состояния бита SPRL применяется команда Write Status Register.

5.32.2 RSTE бит

Этот бит применяется для разрешения или запрета на выполнение команды Reset. Когда RSTE в состоянии логического нуля (значение по умолчанию после сброса), команда Reset запрещена, и любые попытки сбросить микросхему этой командой игнорируются. Когда бит RSTE в состоянии логической единицы, команда Reset разрешена.

Состояние бита RSTE сохраняется до тех пор, пока на микросхему подано питание. Если бит установлен в состояние логической единицы, его можно модифицировать командой Write Status Register, либо снятием, а затем подачей питания на микросхему. Команда Reset не изменяет состояние бита RSTE.

5.32.3 EPE бит

Этот бит показывает, действительно ли операция стирания или записи завершилась успешно. Если хотя бы один байт во время операции стирания или записи не стёрт или не запрограммирован должным образом, бит EPE устанавливается в состояние логической единицы. Бит EPE не устанавливается в нуль, если операция стирания или программирования прервана при попытке стереть или записать защищённый сектор, или, если бит WEL не установлен перед операцией программирования или стирания. Бит EPE обновляется после каждой операции программирования и стирания.

5.32.4 SWP биты

Эти биты обеспечивают обратную связь при определении состояния защиты модуля памяти. Возможны три комбинации бит SWP, показывающие, что модуль памяти не защищён, частично или полностью защищён. Если биты SWP указывают, что некоторые сектора защищены, для определения этих секторов требуется чтение индивидуальных регистров защиты сектора с помощью команды Read Sector Protection Register.

5.32.5 WEL бит

Этот бит показывает текущий статус внутреннего состояния разрешения записи. Когда бит WEL в состоянии логического нуля, модуль памяти не доступен для таких команд, как Byte Program, Erase, Protect Sector, Unprotect Sector, Write Status Register. После включения питания бит WEL в состоянии логического нуля. Бит WEL может быть сброшен автоматически в ноль при следующих условиях:

- Успешное завершение команды Write Disable;
- Успешное завершение команды Write Status register либо ошибка в команде;
- Успешное завершение команды Protect Sector либо ошибка в команде;
- Успешное завершение команды Unprotect Sector либо ошибка в команде;
- Успешное завершение команды Byte Program либо ошибка в команде;
- Успешное завершение команды Sector Erase либо ошибка в команде;
- Успешное завершение команды Chip Erase либо ошибка в команде;
- Неактивный режим.

Если бит в состоянии логической единицы, он не сбросится в ноль, пока не завершится текущая операция, либо пока некорректный код операции не будет загружен в модуль памяти прежде, чем линия nCE перейдет в неактивное состояние. Для того чтобы бит WEL сбросился в ноль при преждевременном завершении одной из операций, необходимо, чтобы код операции был полностью загружен в модуль памяти.

5.32.6 RDY/BSY бит

Этот бит применяется для определения выполнения внутренней операции программирования или стирания. Опрос этого бита детектирует завершение цикла записи или стирания, новые данные регистра статуса должны постоянно выгружаться по сигналу SCK, пока состояние бита RDY/BSY не изменится из единицы в ноль.

5.33 Операция записи регистра статуса

Эта операция необходима для модификации бит SPRL и RSTE регистра статуса. Перед выполнением команды Write Status Register необходимо выдать команду Write Enable для установки бита WEL регистра статуса в логическую единицу.

При выполнении команды Write Status Register линия nCE должна быть в активном состоянии и код операции 01h должен быть загружен в микросхему вместе с одним байтом данных. Только биты 7 и 6 байта данных воспринимаются модулем памяти, остальные биты могут принимать любое значение. Любые дополнительны байты данных, посылаемые после этого модулю памяти, игнорируются. После

перевода линии nCE в неактивное состояние биты SPRL и RSTE модифицируются, бит WEL регистра статуса сбрасывается в состояние логического нуля.

Полный байт данных должен быть загружен в модуль памяти перед изменением состояния линии nCE, то есть на границе байта (кратно восьми бит), иначе микросхема прервёт операцию, состояние бит SPRL и RSTE не изменится, значение бита WEL регистра статуса сбросится в логический ноль.

Временная диаграмма операции записи регистра статуса приведена ниже (Рисунок 25).

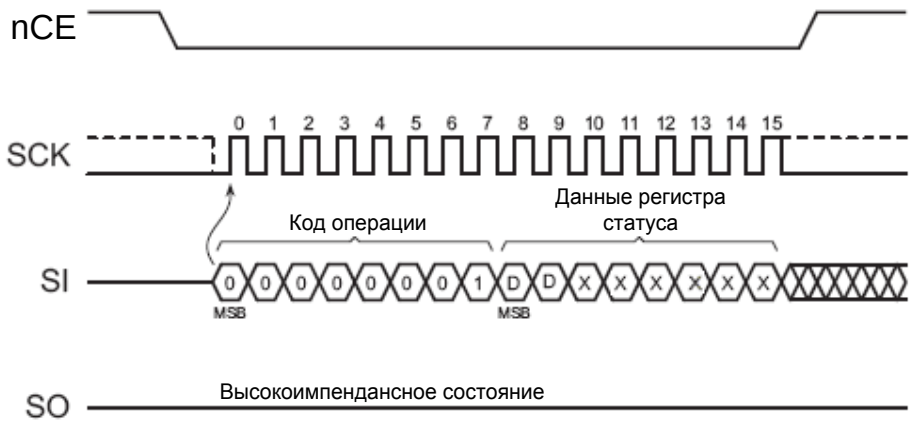


Рисунок 25 – Операция записи регистра статуса

5.34 Операция сброса

В некоторых приложениях необходимо преждевременно прервать цикл записи или стирания. Команда Reset позволяет немедленно прервать операцию стирания или записи и вернуть модуль памяти в неактивное состояние. Для этого нет необходимости в передаче команды Write Enable перед выдачей команды Reset. То есть, команда Reset не зависит от состояния бита WEL регистра статуса.

Команда Reset может быть выполнена только в том случае, если она разрешена установкой бита RSTE в логическую единицу. Если команда Reset не разрешена (RSTE в состоянии логического нуля), любые попытки выполнить команду Reset игнорируются.

При выполнении команды Reset линия nCE должна быть в активном состоянии, код операции F0h загружен в модуль памяти. Адресные байты не передаются в этой команде, но необходимо передать подтверждающий байт D0h сразу после кода операции. Любые дополнительные байты, передаваемые в модуль памяти после подтверждающего байта, игнорируются. Когда линия nCE переходит в неактивное состояние, текущая операция стирания или записи прерывается в пределах времени 30 мкс. Если операция программирования или стирания прерывается, таким образом, результат её корректного выполнения не гарантируется.

Команда Reset не оказывает влияния на регистры защиты секторов или биты SPRL и RSTE регистра статуса. Однако бит WEL будет сброшен в состояние по умолчанию.

Код операции и подтверждающий байт должны быть полностью загружены в модуль памяти перед изменением линии nCE, то есть на границе байта (кратно восьми бит) иначе операция сброса не будет выполнена.

Временная диаграмма операции сброса приведена ниже (Рисунок 26).

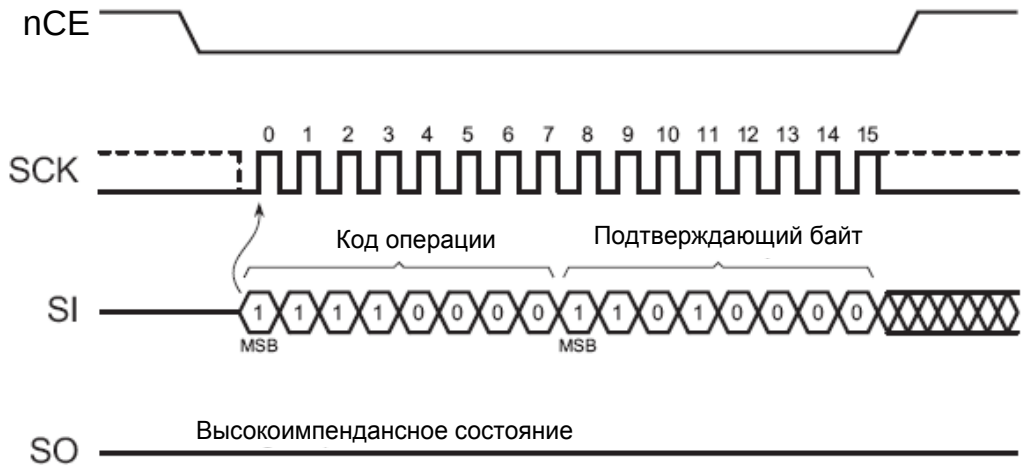


Рисунок 26 – Операция сброса

5.35 Операция чтения ID кодов производителя и микросхемы

Идентификационная информация может быть считана из модуля памяти, позволяя идентифицировать микросхему в системе.

При чтении идентификационной информации линия nCE должна быть в активном состоянии, код операции 9Fh загружается в модуль памяти. После этого модуль памяти начинает выдачу идентификационных данных на линию SO на каждом такте линии SCK. Первый выходной байт – ID код производителя, следующий байт – ID код микросхемы. После этого происходит повтор выдачи данных до перевода линии nCE в неактивное состояние, которое прекращает операцию чтения ID кодов и переводит линию SO в высокоимпедансное состояние. Изменение линии nCE возможно в любое время, то есть чтение полного байта не требуется.

Временная диаграмма операции чтения ID кодов приведена ниже (Рисунок 27).

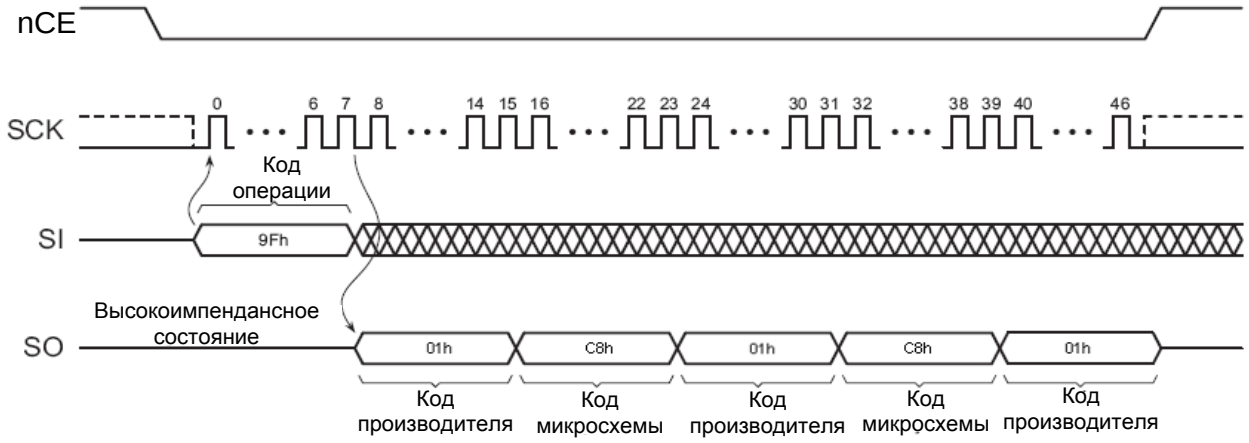


Рисунок 27 – Операция чтения ID кодов.

6 Временные диаграммы

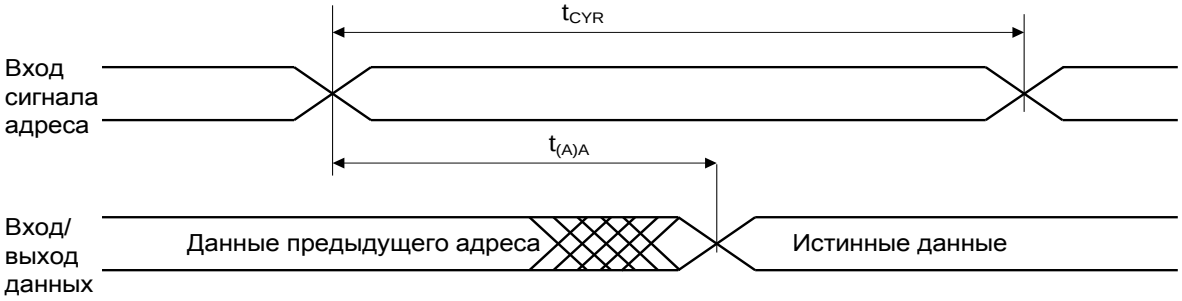


Рисунок 28 – Временная диаграмма цикла чтения 1.
Управление по адресу $U_{nOE} = U_{nCE} = U_{IL}$, $U_{nWE} = U_{IH}$

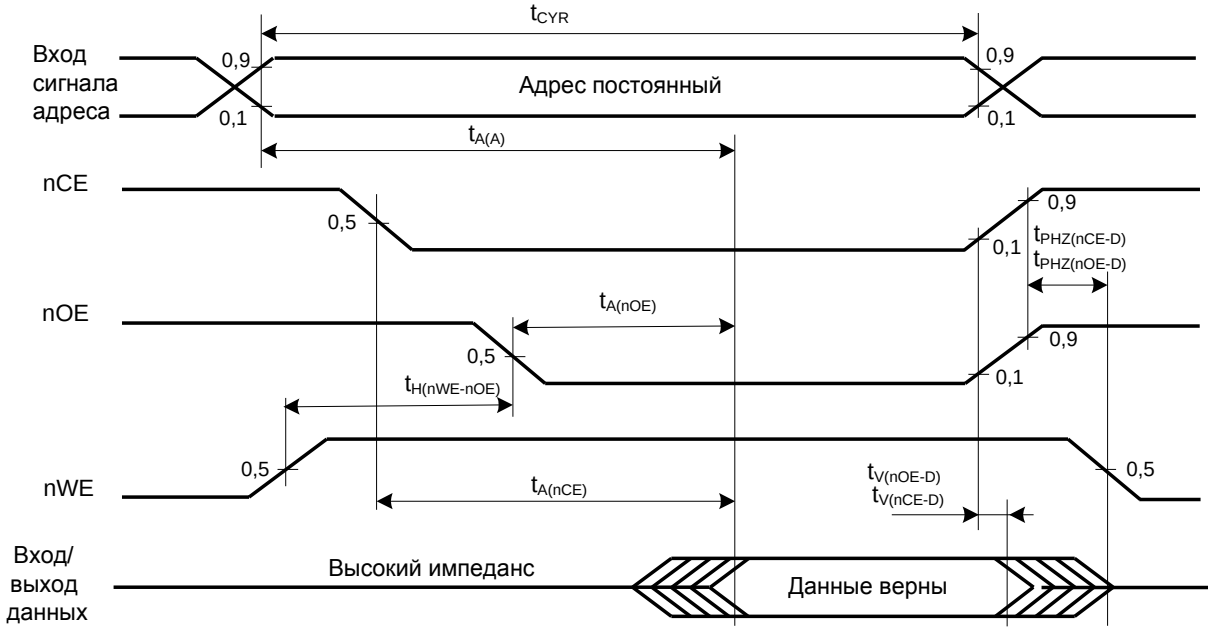


Рисунок 29 – Временная диаграмма цикла чтения 2.
Управление по nOE, nCE. $U_{nWE} = U_{IH}$. Сигналы на выводах TDI, TCK, STROBE в состоянии логического «0», MRST логической «1»

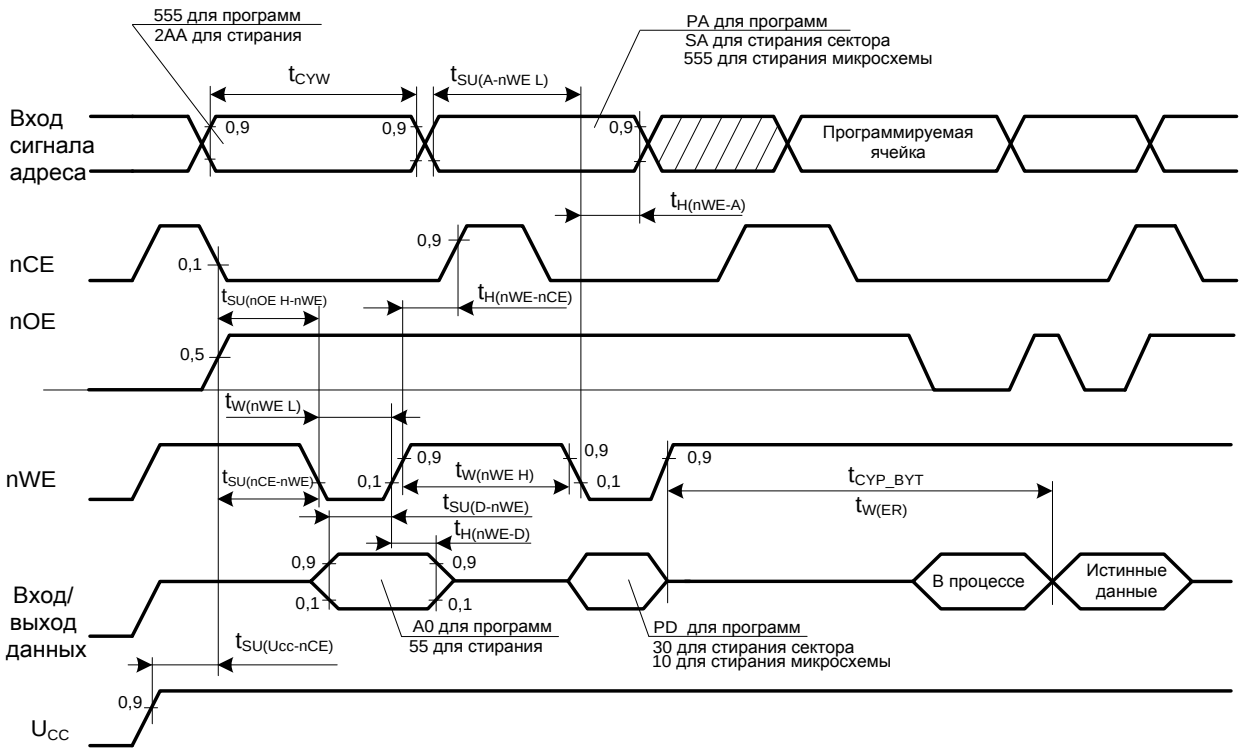


Рисунок 30 – Временная диаграмма цикла записи/стирания 1.
Управление по nWE. $U_{nOE} = U_{IH}$ на протяжении цикла записи

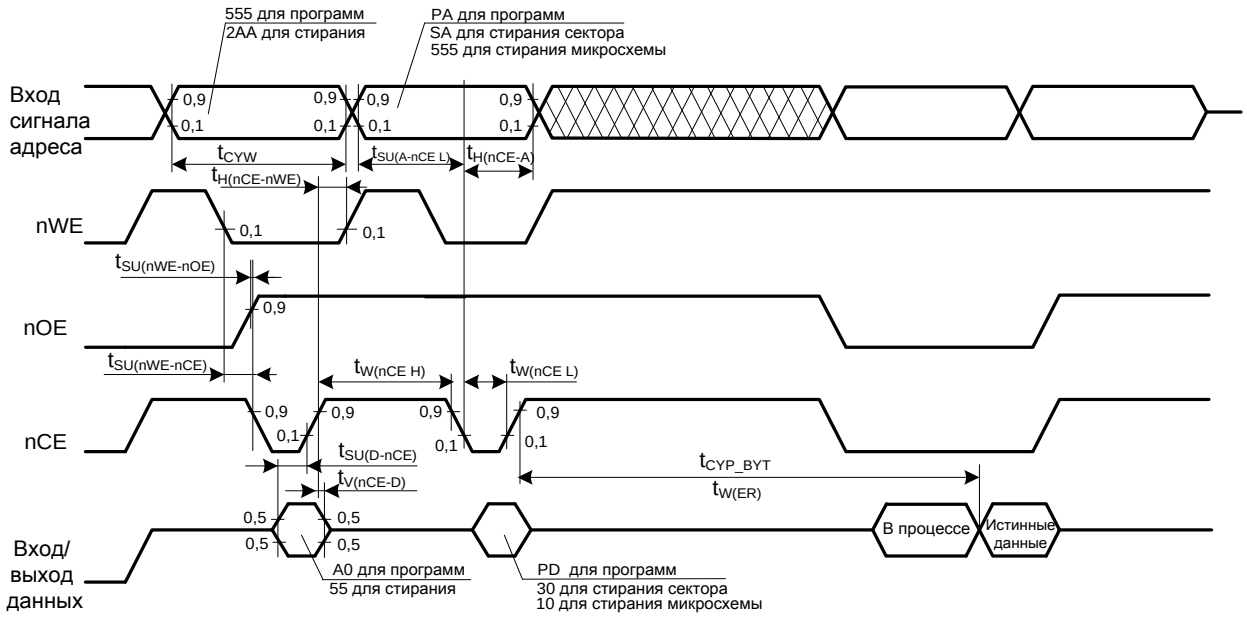


Рисунок 31 – Временная диаграмма цикла записи/стирания 2.
Управление по nCE. $U_{nOE} = U_{IH}$

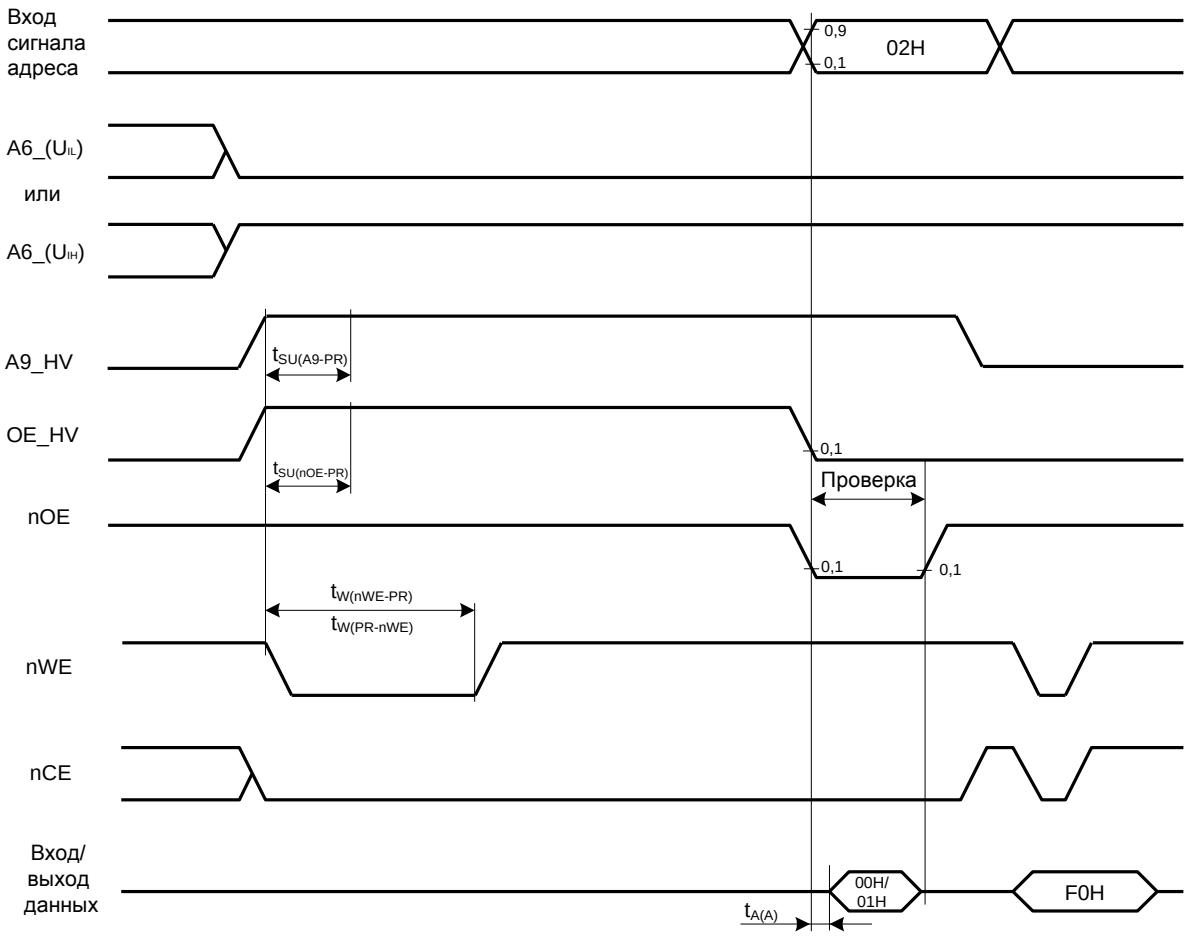


Рисунок 32 – Временная диаграмма цикла защиты/снятия защиты

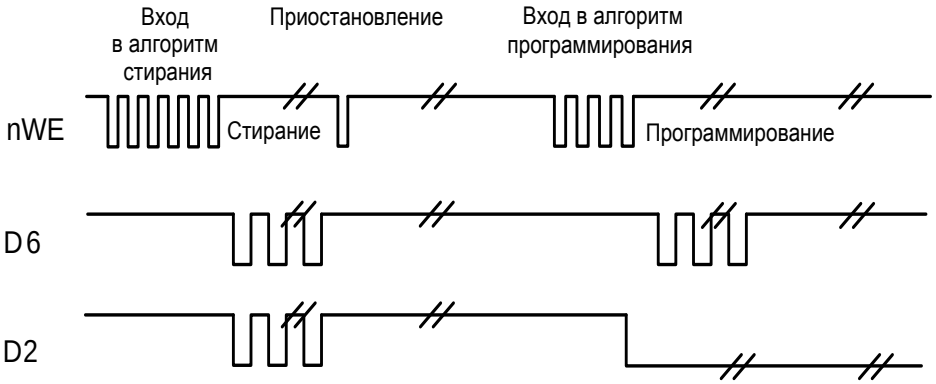
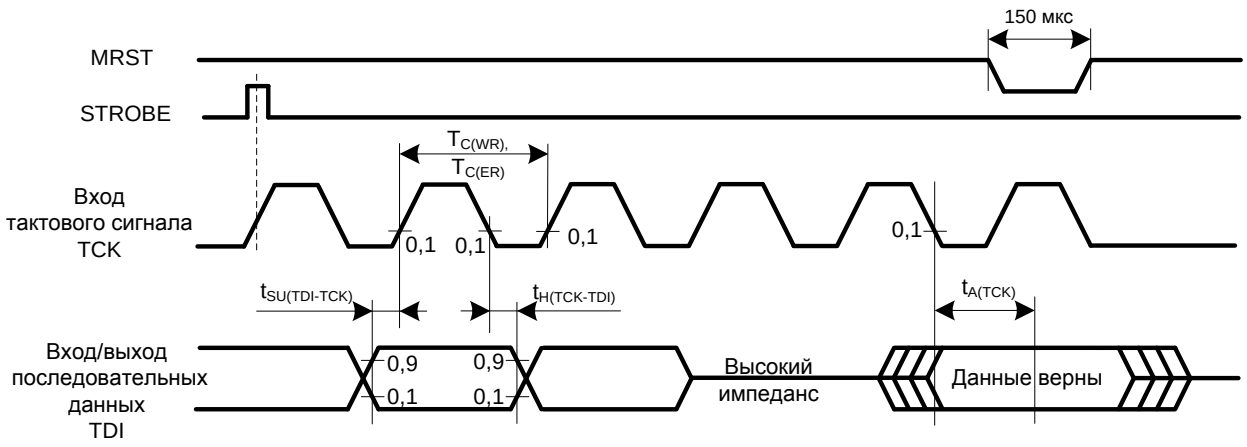


Рисунок 33 – Временная диаграмма переключения статусных бит.
Система может использовать nCE или nOE для переключения D2 и D6.
D2 переключается только при чтении по адресу внутри стираемого сектора



STROBE = 1 – последовательный канал
MRST = 0 длительностью 150 мкс – параллельный канал

Рисунок 34 – Временная диаграмма записи/чтения последовательного канала

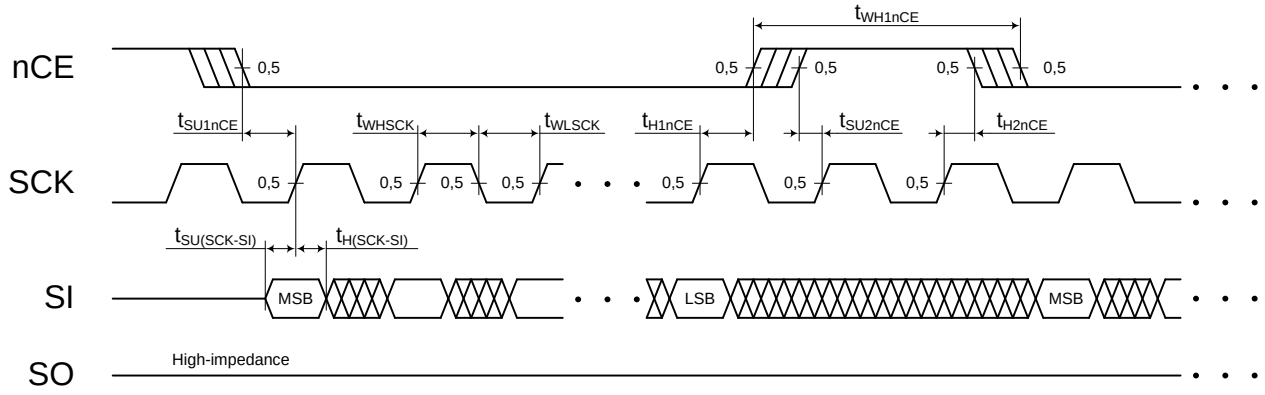


Рисунок 35 – Временная диаграмма записи последовательного канала SPI

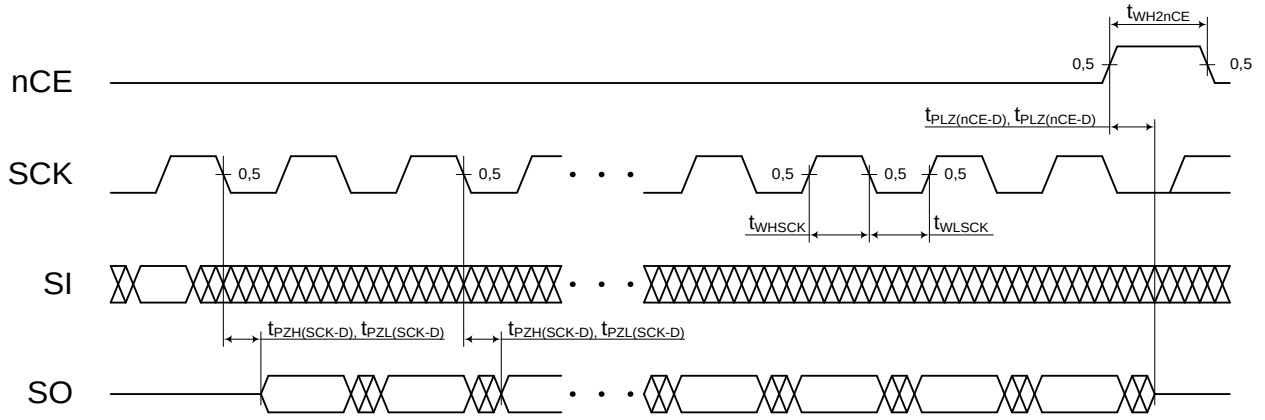


Рисунок 36 – Временная диаграмма чтения последовательного канала SPI

7 Предельно-допустимые и предельные параметры

Таблица 13 – Предельно-допустимые электрические режимы эксплуатации и предельные электрические режимы микросхем

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	U_{CC}	3,0	3,6	–	3,9
Входное напряжение высокого уровня, В	U_{IH}	2,0	5,25	–	5,3
Входное напряжение низкого уровня, В	U_{IL}	0	0,8	- 0,3	–
Напряжение высокого/низкого уровня, прикладываемое к выходу в состоянии «Выключено», В, на выводах D0 – D7	U_{OHZ}, U_{OLZ}	0	5,25	- 0,3	5,3
Выходной ток высокого уровня, мА	I_{OH}	- 2,0	–	- 4,0	–
Выходной ток низкого уровня, мА	I_{OL}	–	4,0	–	6,0
Время нарастания, спада входных сигналов, нс	t_r, t_f	–	10	–	–
Емкость нагрузки, пФ	C_L	–	50	–	100
Количество циклов записи/стирания данных, 1 при T = 85 °C	N_{PR}	20 000	–	–	–
при T = 125 °C		10 000			
Время хранения информации, лет при T = 85 °C	t_{GS}	25	–	–	–
при T = 125 °C		13			
Параметры последовательного интерфейса					
Длительность сигнала высокого уровня синхросигнала SCK, нс	t_{WHSCK}	10	–	–	–
Длительность сигнала низкого уровня синхросигнала SCK, нс	t_{WLSCK}	10	–	–	–
Длительность сигнала высокого уровня разрешения записи nCE в режиме SPI после команд записи, нс	t_{WH1nCE}	1000	–	–	–
Длительность сигнала высокого уровня разрешения записи nCE в режиме SPI после команд чтения, нс	t_{WH2nCE}	50	–	–	–
Время установления низкого уровня сигнала nCE относительно синхросигнала SCK, нс	t_{SU1nCE}	10	–	–	–
Время удержания низкого уровня сигнала nCE относительно синхросигнала SCK, нс	t_{H1nCE}	5	–	–	–
Время установления высокого уровня сигнала nCE относительно синхросигнала SCK, нс	t_{SU2nCE}	10	–	–	–
Время удержания высокого уровня сигнала nCE относительно синхросигнала SCK, нс	t_{H2nCE}	5	–	–	–

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Время установления входного сигнала последовательных данных относительно синхросигнала TCK, нс	$t_{SU(TDI–TCK)}$	5	–	–	–
Время удержания сигнала входных последовательных данных относительно синхросигнала TCK, нс	$t_{H(TCK–TDI)}$	0	–	–	–
Время установления входного сигнала SI последовательных данных относительно синхросигнала SCK, нс	$t_{SU(SCK-SI)}$	2	–	–	–
Время удержания сигнала SI входных последовательных данных относительно синхросигнала SCK, нс	$t_{H(SCK-SI)}$	1	–	–	–
Период следования импульсов тактовых сигналов на входе TCK при программировании, мкс	$T_{C(WR)}$	0,14	0,24	–	–
Период следования импульсов тактовых сигналов на входе TCK при стирании, мкс	$T_{C(ER)}$	0,38	0,64	–	–
Рабочая частота последовательного интерфейса, МГц	f	–	50	–	–
Параметры параллельного интерфейса					
Длительность сигнала nWE при установке защиты сектора, мкс	$t_{W(nWE-PR)}$	100	–	–	–
Длительность сигнала nWE при снятии защиты сектора, мс	$t_{W(PR-nWE)}$	40	–	–	–
Длительность сигнала низкого уровня разрешения записи nCE, нс	$t_{W(nCE\ L)}$	30	–	–	–
Длительность сигнала низкого уровня разрешения записи nWE, нс	$t_{W(nWE\ L)}$	30	–	–	–
Время удержания сигнала высокого уровня nOE относительно окончания сигнала записи nWE, нс	$t_{H(nWE–nOE)}$	13	–	–	–
Время установления сигнала адреса относительно начала сигнала nWE, нс	$t_{SU(A–nWE\ L)}$	0	–	–	–
Время удержания сигнала адреса относительно сигнала nWE, нс	$t_{H(nWE–A)}$	45	–	–	–
Время установления входных сигналов данных относительно окончания сигнала nWE, нс	$t_{SU(D–nWE)}$	30	–	–	–
Время удержания сигнала входных данных относительно окончания сигнала nWE, нс	$t_{H(nWE–D)}$	15	–	–	–
Время установления сигнала высокого уровня nWE относительно снятия сигнала nOE, нс	$t_{SU(nOE\ H–nWE)}$	0	–	–	–
Время установления сигнала nCE относительно начала сигнала nWE, нс	$t_{SU(nCE–nWE)}$	0	–	–	–
Время удержания сигнала адреса относительно сигнала nCE, нс	$t_{H(nCE–A)}$	45	–	–	–
Время установления сигнала адреса относительно начала сигнала nCE, нс	$t_{SU(A–nCE\ L)}$	0	–	–	–

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Время установления сигнала входных данных относительно окончания сигнала nCE, нс	$t_{SU(D–nCE)}$	30	–	–	–
Время удержания сигнала входных данных относительно окончания сигнала nCE при записи, нс	$t_{H(D–nCE)}$	15	–	–	–
Время удержания сигнала nCE относительно сигнала nWE, нс	$t_{H(nWE-nCE)}$	0	–	–	–
Время установления сигнала nCE относительно напряжения питания U_{CC}, мс	$t_{SU(Ucc–nCE)}$	4	–	–	–
Время установления сигнала nCE относительно окончания сигнала nOE, нс	$t_{SU(nOE-nCE)}$	0	–	–	–
Время установления сигнала nWE относительно начала сигнала nCE, nOE, нс	$t_{SU(nWE–nCE)}$ $t_{SU(nWE–nOE)}$	0	–	–	–
Время удержания сигнала nCE относительно сигнала nWE,нс	$t_{H(nCE–nWE)}$	0	–	–	–
Время входа по OE_HV в режим защиты, мкс	$t_{SU(nOE-PR)}$	4	–	–	–
Время входа по A9_HV в режим защиты, мкс	$t_{SU(A9-PR)}$	4	–	–	–
Время цикла считывания информации, нс	t_{CYR}	65	–	–	–
Время цикла записи информации, нс	t_{CYW}	60	–	–	–
Длительность сигнала высокого уровня разрешения записи nCE, нс	$t_{W(nCE\ H)}$	30	–	–	–
Длительность сигнала высокого уровня разрешения записи nWE, нс	$t_{W(nWE\ H)}$	30	–	–	–
П р и м е ч а н и е – Не допускается одновременное воздействие двух и более предельных режимов					

8 Электрические параметры микросхемы

Таблица 14 – Электрические параметры микросхем при приёмке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Выходное напряжение высокого уровня, В	U_{OH}	2,4	–	25, 125, - 60
Выходное напряжение низкого уровня, В	U_{OL}	–	0,4	
Ток потребления в режиме хранения, мА, при $U_{nCE} = U_{nOE} = U_{MRST} = U_{CC}$, $U_{IL} = 0$ В, $U_{IH} = U_{CC}$, $f_I = 0$ МГц	I_{CCS}	–	1	
Выходной ток высокого уровня в состоянии «Выключено», мкА, при $U_{nCE} = U_{IH}$	I_{OZH}	- 1	1	
Выходной ток низкого уровня в состоянии «Выключено», мкА при $U_{nCE} = U_{IH}$	I_{OZL}	- 1	1	
Ток утечки высокого уровня на входах, мкА	I_{ILH}	- 1	1	
Ток утечки низкого уровня на входах, мкА	I_{ILL}	- 1	1	
Входной ток высокого уровня на цифровых входах, с резистором доопределения, мкА, для выводов TDI, OE_HV, A9_HV, SEL_SPI, SCK, SI, TCK, MRST, STROBE	I_{IH}	80	180	
Время задержки распространения данных при переходе выхода из состояния высокого/низкого уровня в состояние «Выключено» по сигналу nCE, нс, при $C_L = 50$ пФ	$t_{PHZ(nCE-D)}$ $t_{PLZ(nCE-D)}$	–	16[1)]	
Время задержки распространения данных при переходе выхода из состояния высокого/низкого уровня в состояние «Выключено» по сигналу nOE, нс, при $C_L = 50$ пФ	$t_{PHZ(nOE-D)}$ $t_{PLZ(nOE-D)}$	–	16[1)]	
Время задержки распространения данных при переходе выхода из состояния «Выключено» в состояние высокого/низкого уровня по сигналу SCK, нс	$t_{PZH(SCK-D)}$ $t_{PZL(SCK-D)}$	–	10[1)]	
Время задержки распространения данных при переходе выхода из состояния высокого /низкого уровня в состояние «Выключено» по сигналу SCK, нс	$t_{PHZ(SCK-D)}$ $t_{PLZ(SCK-D)}$	–	10[1)]	
Время сохранения выходных данных относительно сигналов, nOE, nCE при чтении, нс	$t_{V(nOE–D)}$ $t_{V(nCE –D)}$	–	0[1)]	
Время выборки по сигналу TCK, нс	$t_{A(TCK)}$	–	35	
Время стирания сектора, мс	$t_{W(ER_S)}$	110	220	
Время программирования байта, мкс	t_{CYP_BYT}	–	200	

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Динамический ток потребления, мА, при Io = 0 мА	I_{OCC}	–	40	25, 125, - 60
Время выборки адреса, нс	$t_{A(A)}$	–	50	
Время выборки по сигналу nOE, нс	$t_{A(nOE)}$	–	50	
Время выборки по сигналу nCE, нс	$t_{A(nCE)}$	–	60	
Время стирания микросхемы, мс	$t_{W(ER)}$	350	700	
Время программирования микросхемы, с	t_{CYPR}	52	105	

[1] Значение параметра обеспечивается конструкцией микросхемы.

Примечание – Режимы измерения параметров приведены в технических условиях АЕНВ.431210.157ТУ

Микросхемы должны быть устойчивы к воздействию статического электричества с потенциалом не менее 2 000 В.

9 Справочные данные

Значение собственной резонансной частоты микросхемы не менее 7,3 кГц.

Тепловое сопротивление кристалл-окружающая среда микросхем не более 25,2 °С/Вт.

Максимальное значение входной емкости микросхем при f = 1 МГц C_I ≤ 13 пФ.

10 Типовые зависимости

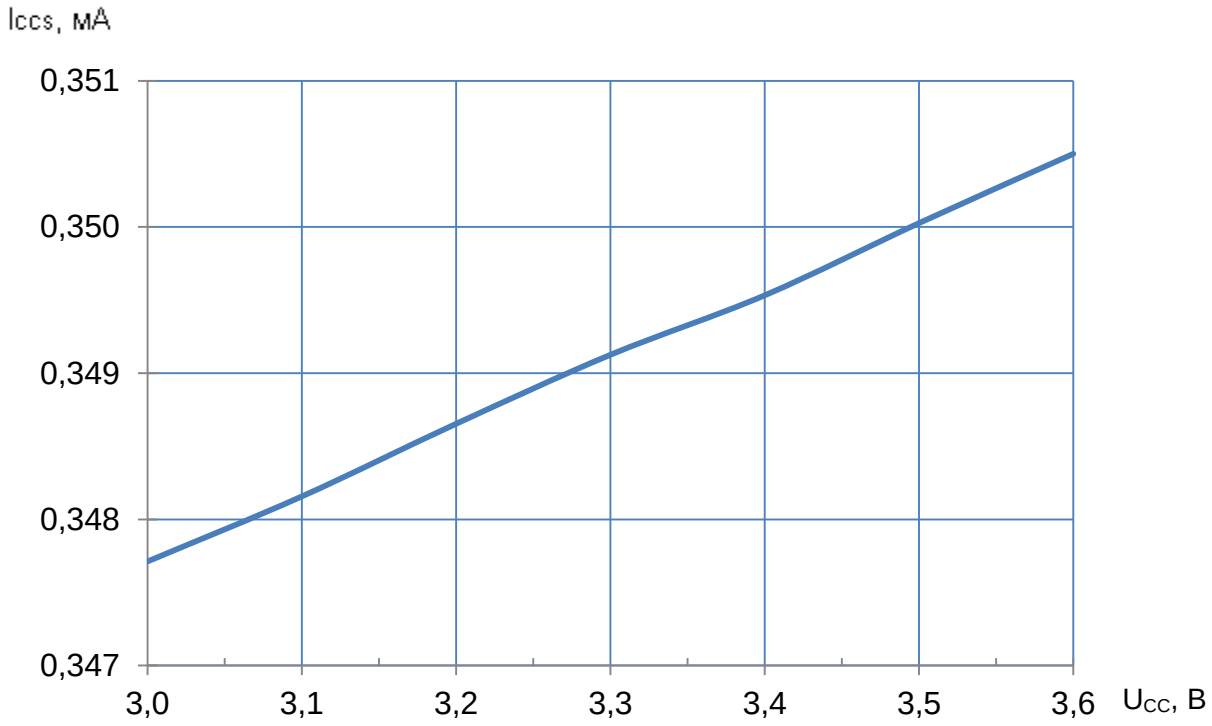


Рисунок 37 – Зависимость тока потребления в режиме хранения от напряжения питания при T = 25 °C

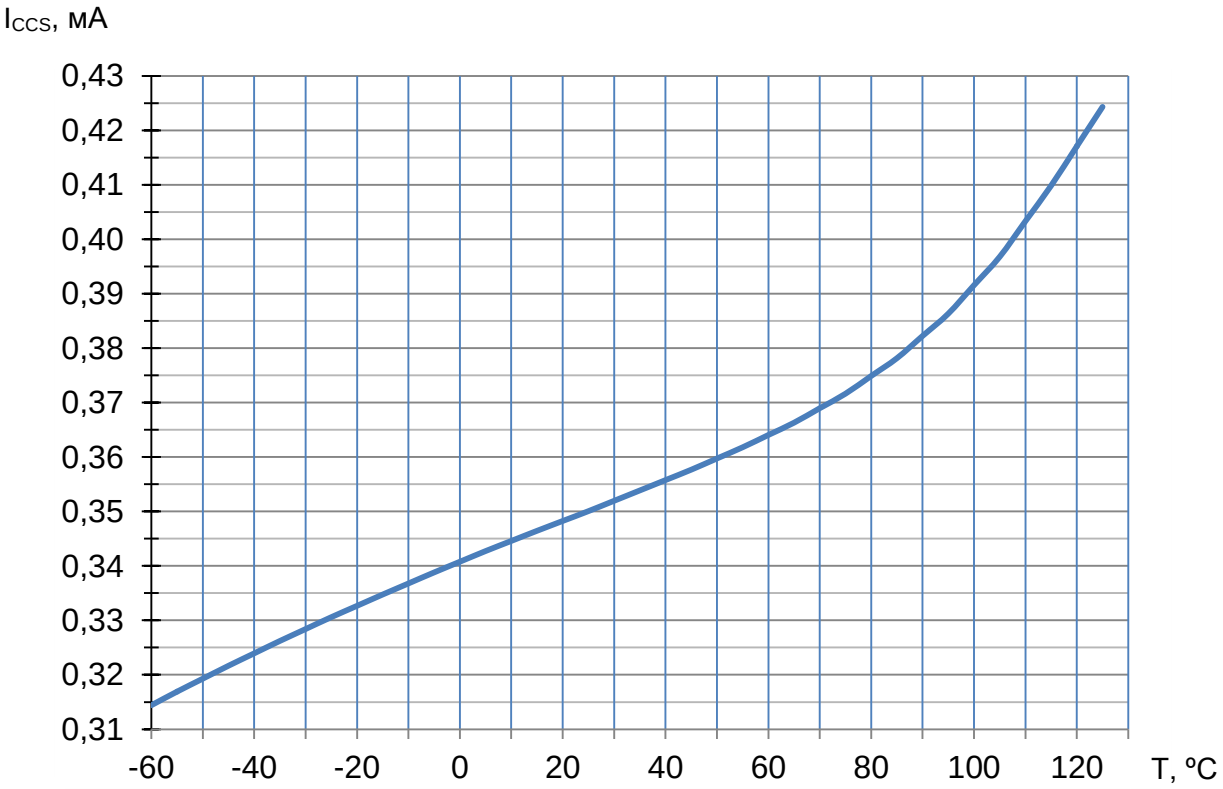


Рисунок 38 – Зависимость тока потребления в режиме хранения от температуры при U_{IH} = 3,6 В

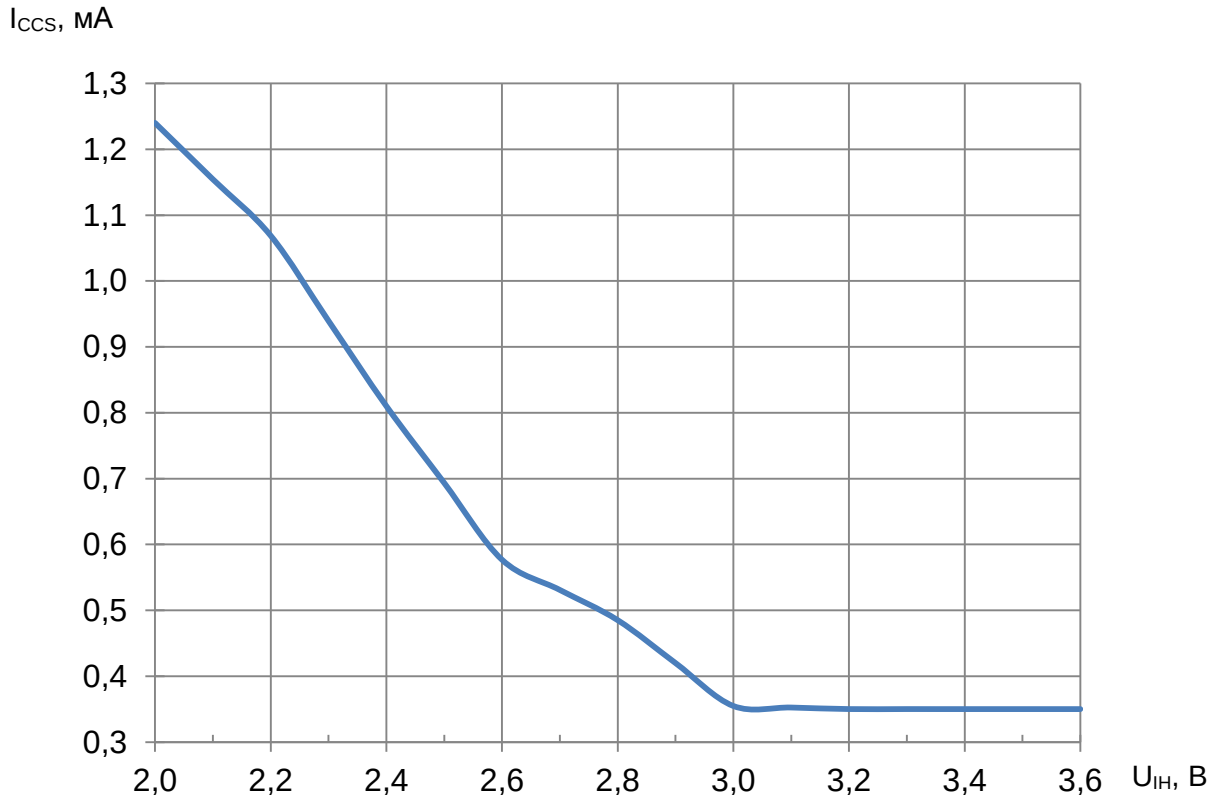


Рисунок 39 – Зависимость тока потребления в режиме хранения от входного напряжения высокого уровня при U_{CC} = 3,6 В, U_{IL} = 0 В, f = 0 МГц, T = 25 °C

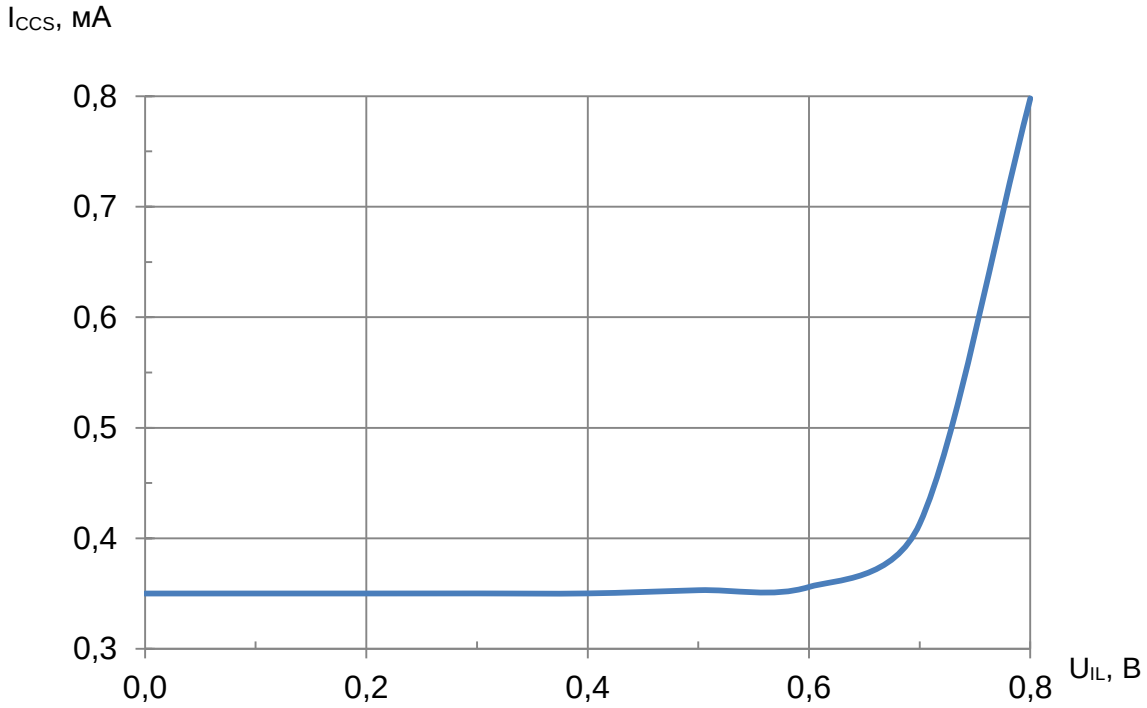


Рисунок 40 – Зависимость тока потребления в режиме хранения от входного напряжения низкого уровня при U_{CC} = 3,6 В, U_{IH} = 3,6 В, f = 0 МГц, T = 25 °C

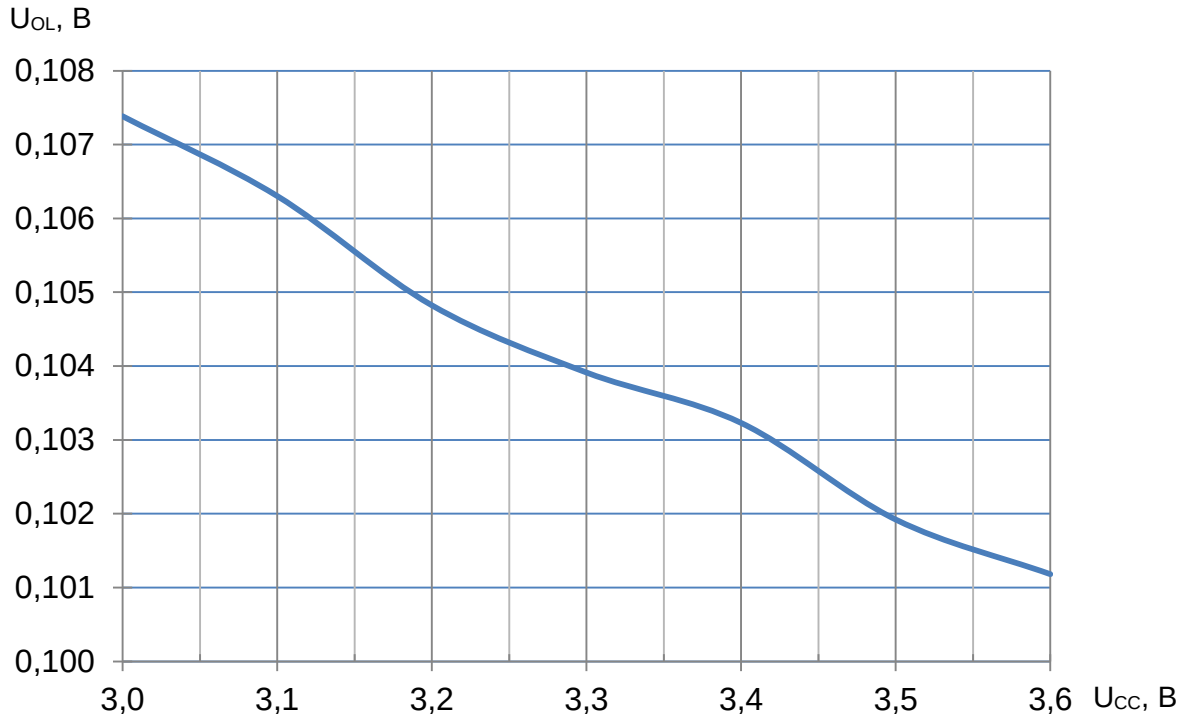


Рисунок 41 – Зависимость выходного напряжения низкого уровня от напряжения питания при I_{OL} = 4 мА, T = 25 °C

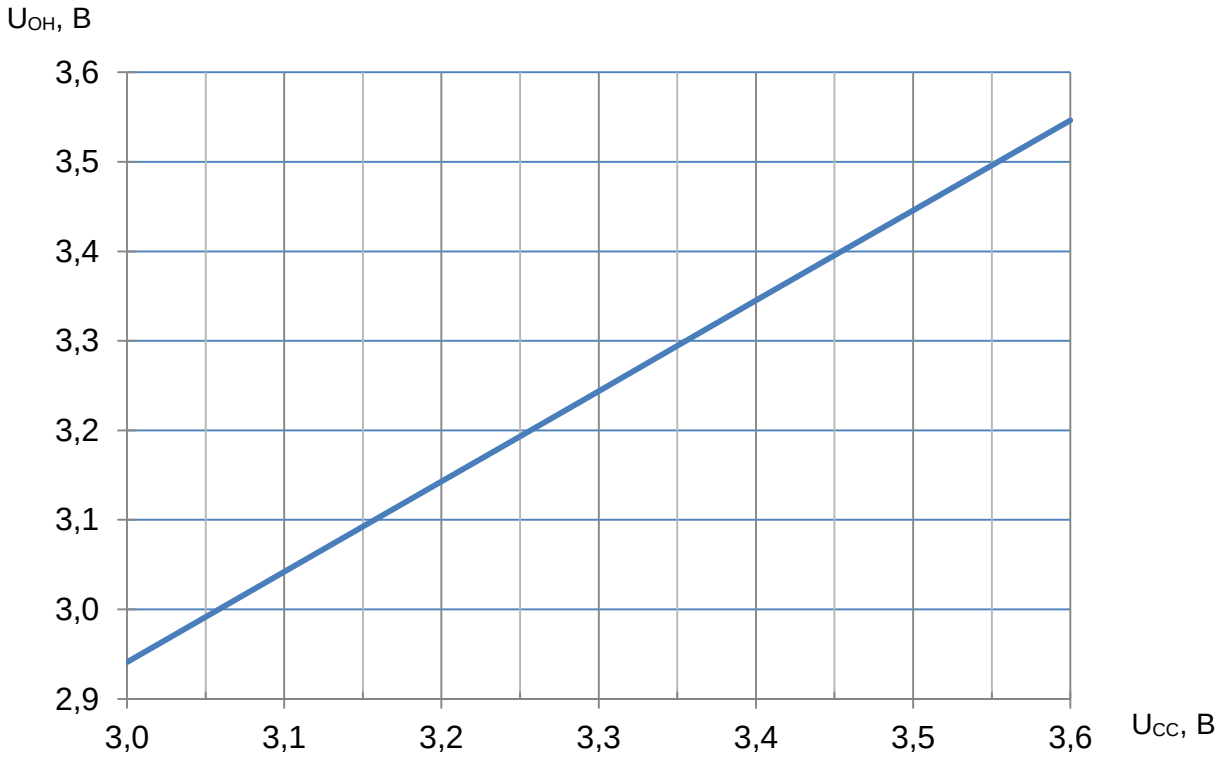


Рисунок 42 – Зависимость выходного напряжения высокого уровня от напряжения питания при I_{OH} = минус 2 мА, T = 25 °C

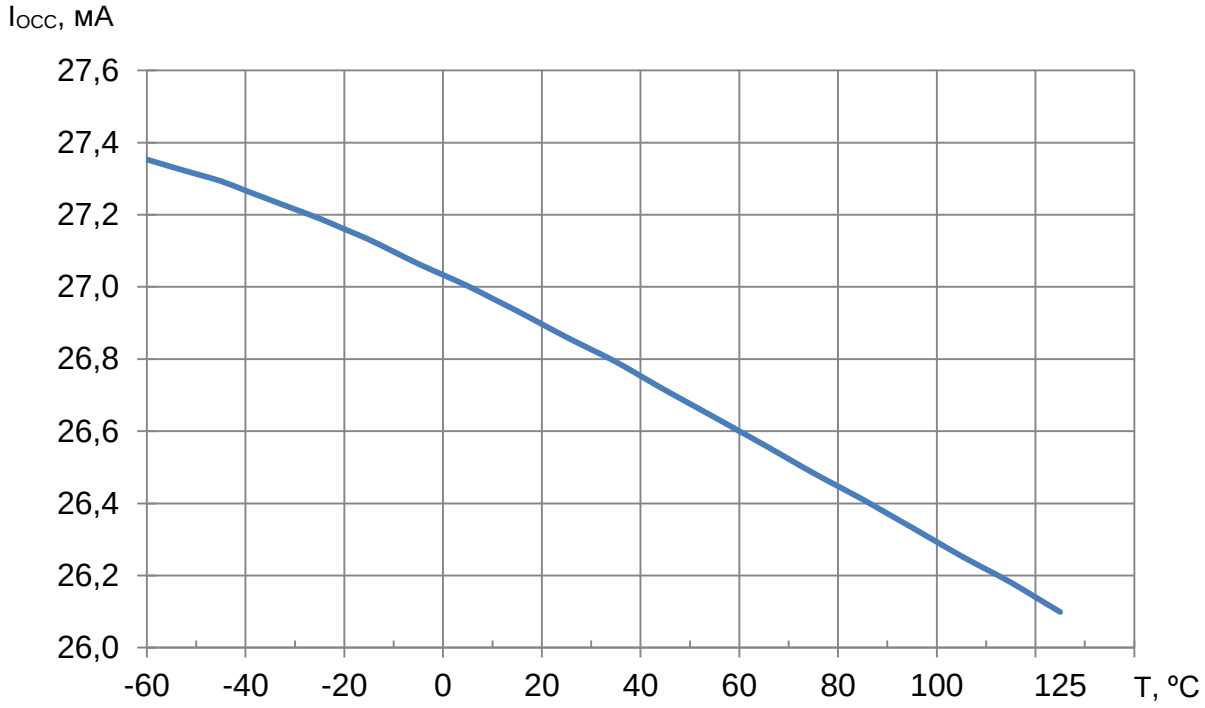


Рисунок 43 – Зависимость динамического тока потребления от температуры для при U_{CC} = 3,6 В, t_{CYR} = 65 нс

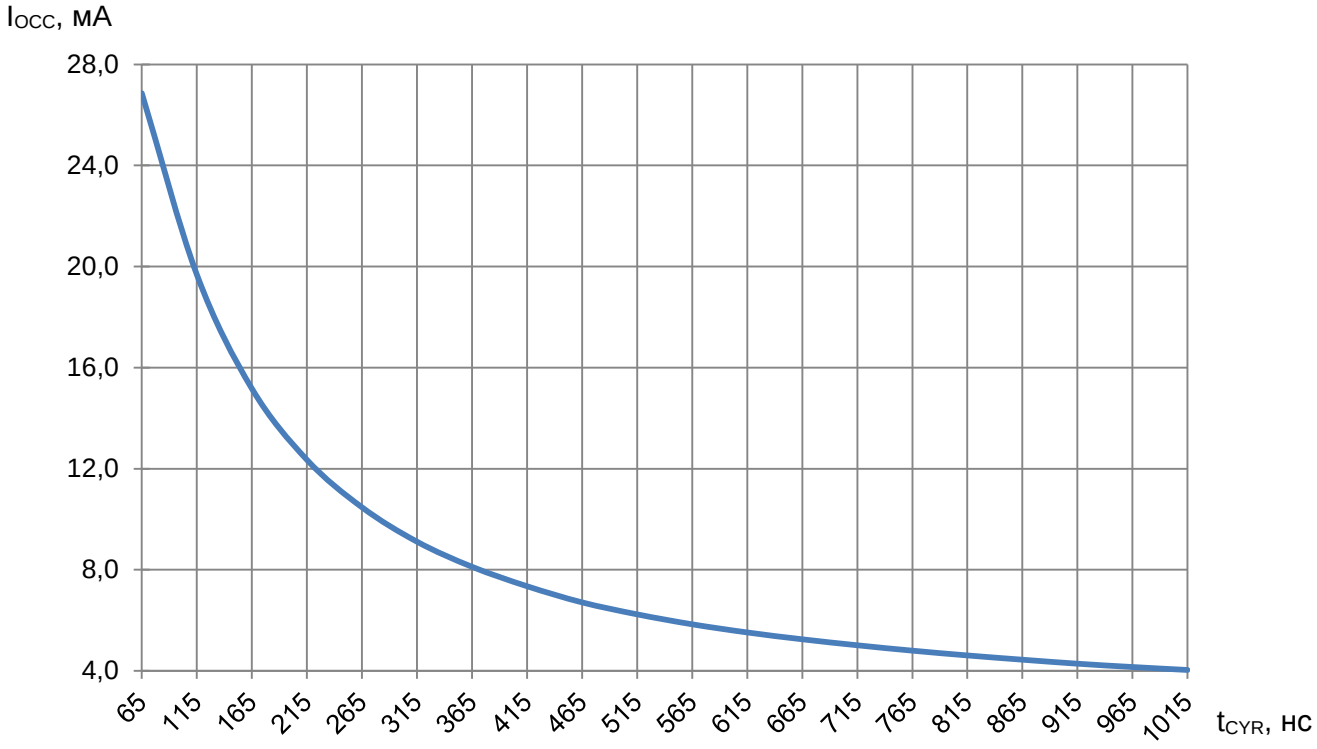


Рисунок 44 – Зависимость динамического тока потребления от времени цикла считывания информации при U_{CC} = 3,6 В и T = 25 °C

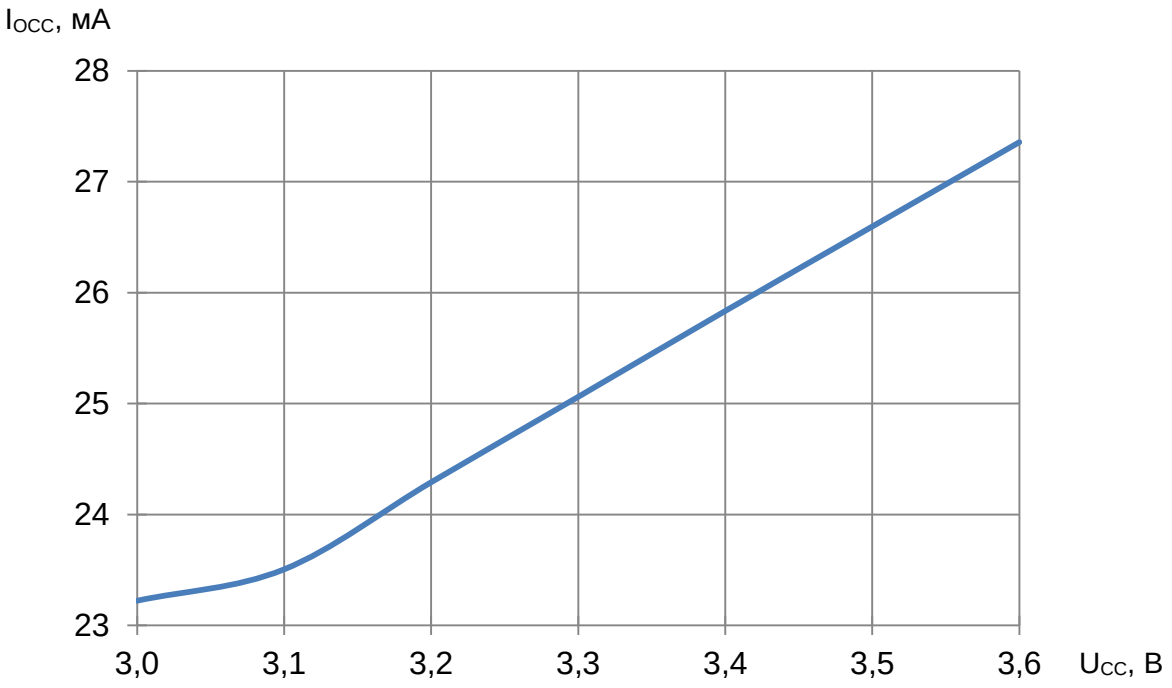


Рисунок 45 – Зависимость динамического тока потребления от напряжения питания при t_{CYR} = 65 нс, T = – 60 °C

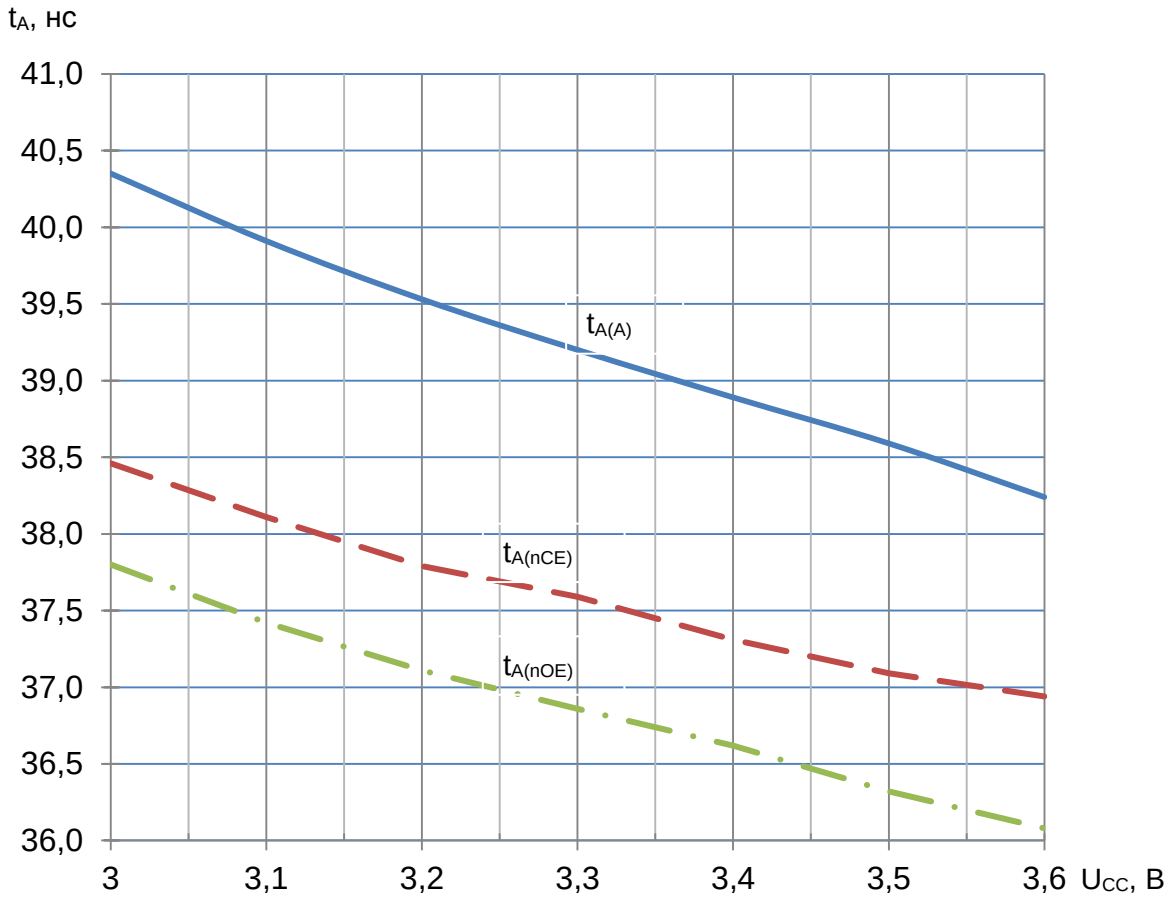


Рисунок 46 – Зависимость времени выборки адреса, $t_{A(A)}$, времени выборки по сигналу nCE, $t_{A(CE)}$, времени выборки по сигналу nOE, $t_{A(OE)}$ от напряжения питания при T= 125 °C

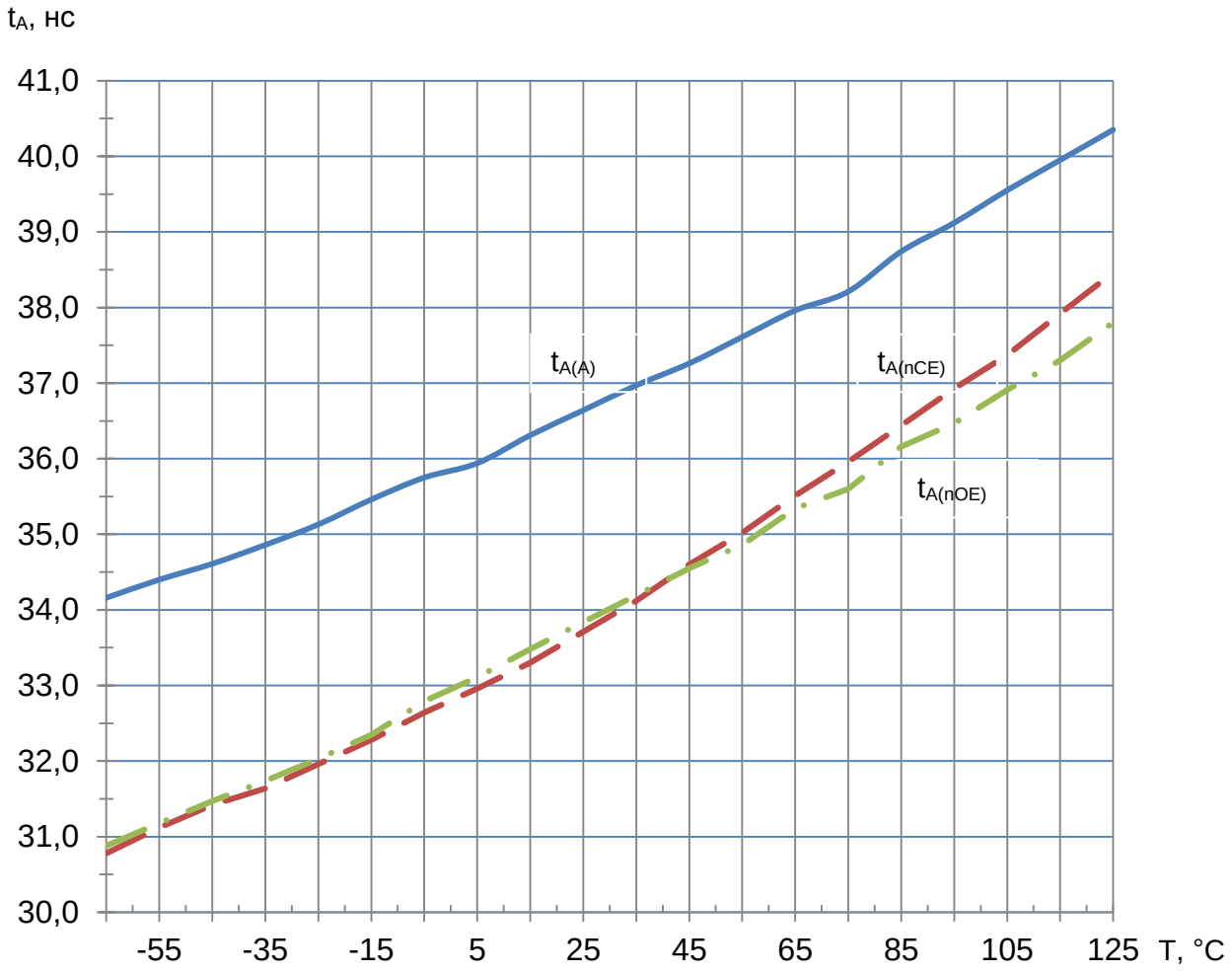
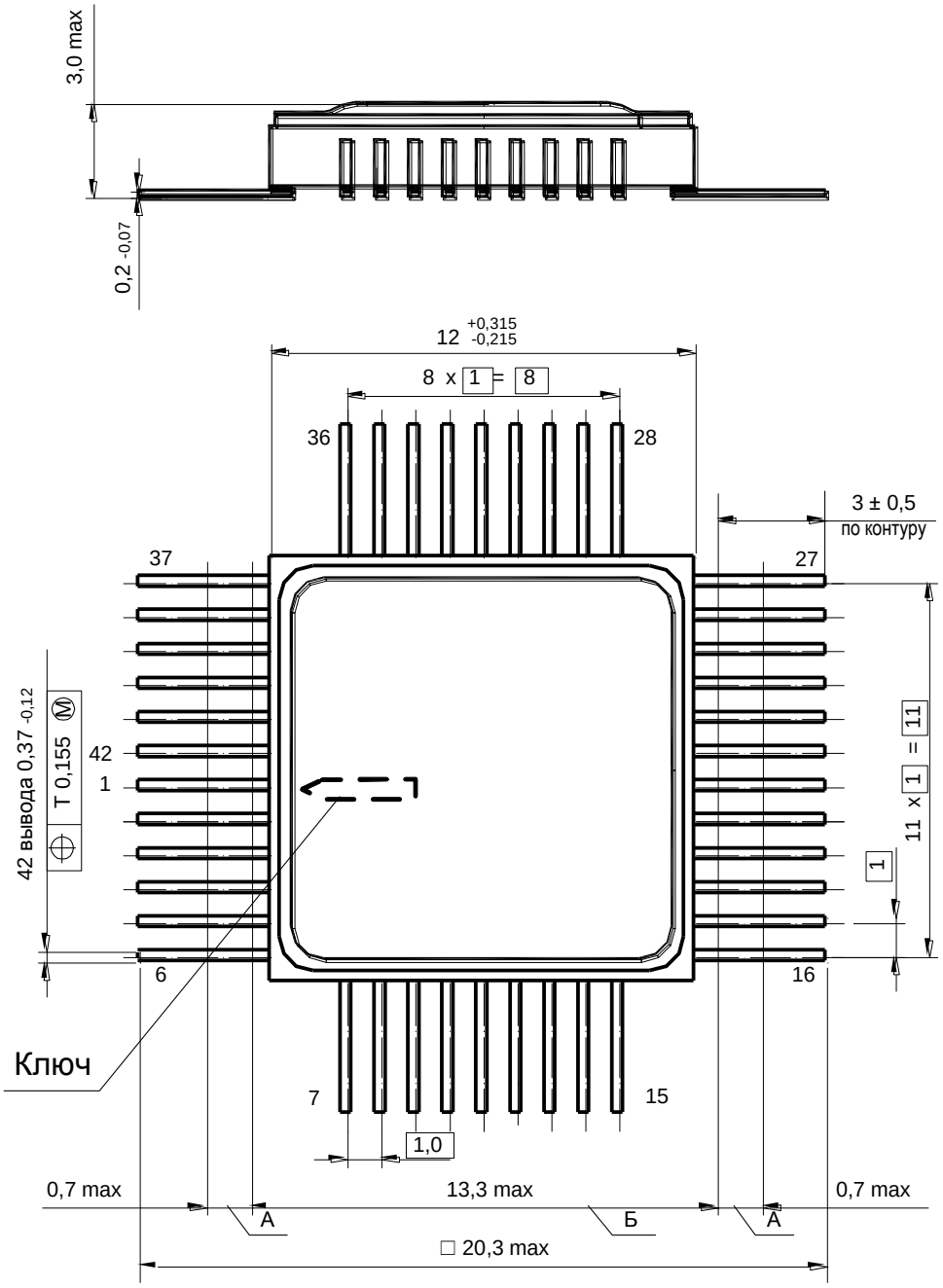


Рисунок 47 – Зависимость времени выборки адреса, $t_{A(A)}$, времени выборки по сигналу nCE, $t_{A(nCE)}$, времени выборки по сигналу nOE, $t_{A(nOE)}$ от температуры при U_{CC} = 3,0 В

11 Габаритный чертеж микросхемы

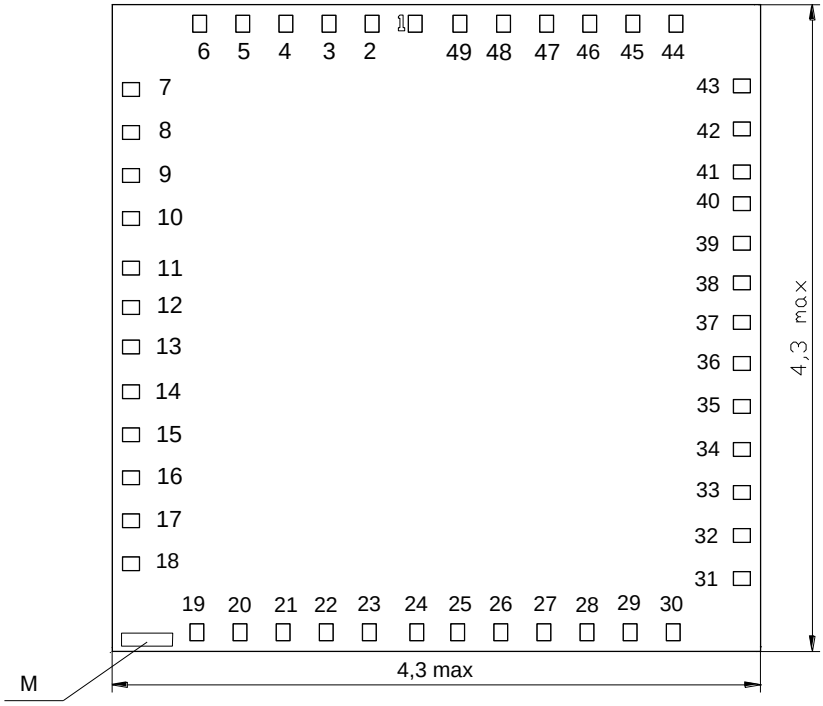


1 А – длина вывода, в пределах которой производится контроль смещения плоскостей симметрии выводов от номинального расположения.

2 Б – ширина зоны контроля, которая включает действительную ширину микросхемы и неконтролируемую часть микросхемы.

3 Нумерация выводов показана условно.

Рисунок 48 – Микросхема в корпусе Н14.42-1В



1 Размеры контактных площадок (КП) кристалла (85 × 105) мкм. Материал КП – Al (алюминий).

2. Толщина кристалла (0,480 ± 0,015) мм.

3 М – маркировка кристалла MLDR105, показана условно.

4 Номера КП кристалла, кроме первой, присвоены условно. Расположение КП соответствует топологическому чертежу.

Рисунок 49 – Кристалл (бескорпусное исполнение)

Таблица 15 – Координаты КП

№ КП	Обозначение КП	Координаты КП		№ КП	Обозначение КП	Координаты КП	
		X	Y			X	Y
1	2	3	4	1	2	3	4
1	A<18>	-134,3	1927,8	32	nCE	1930,7	-1314,7
2	A<16>	-406,8	1927,8	33	A<10>	1930,7	-1042,2
3	A<15>	-679,3	1927,8	34	nOE	1930,7	-769,7
4	A<12>	-951,8	1927,8	35	TCK	1930,7	-497,2
5	TDI	-1224,3	1927,8	36	A<11>	1930,7	-224,7
6	A<7>	-1496,8	1927,8	37	TM<2>	1930,7	35,2
7	A<6>	-1930,7	1511,3	38	TM<1>	1930,7	286,1
8	A<5>	-1930,7	1238,8	39	TM<0>	1930,7	536,9
9	A<4>	-1930,7	966,3	40	VPP	1930,7	787,7
10	A<3>	-1930,7	693,8	41	A<9>	1930,7	988,9
11	DU_{CC}	-1930,7	379,6	42	A<8>	1930,7	1261,4
12	SHDN	-1930,7	129,7	43	A<13>	1930,7	1533,9
13	EXT_POR	-1930,7	-120,1	44	A<14>	1514,2	1927,8
14	A<2>	-1930,7	-403,9	45	STROBE	1241,7	1927,8
15	A<1>	-1930,7	-676,4	46	MRST	969,2	1927,8
16	A<0>	-1930,7	-948,9	47	A<17>	696,7	1927,8
17	D<0>	-1930,7	-1221,4	48	nWE	424,2	1927,8
18	OE_HV	-1930,7	-1493,9	49	VD33!	148,3	1927,8

19	A9_HV	-1514,2	-1927,8				
20	SEL_SPI	-1241,7	-1927,8				
21	D<1>	-969,2	-1927,8				
22	D<2>	-696,7	-1927,8				
23	SO	-424,2	-1927,8				
24	VSS!	-124,2	-1927,8				
25	D<3>	134,3	-1927,8				
26	D<4>	406,8	-1927,8				
27	D<5>	679,3	-1927,8				
28	D<6>	951,8	-1927,8				
29	SCK	1224,3	-1927,8				
30	SI	1496,8	-1927,8				
31	D<7>	1930,7	-1587,2				

12 Информация для заказа

Обозначение	Маркировка	Тип корпуса	Температурный диапазон
1636РР3У	1636РР3У	Н14.42-1В	минус 60 – 125 °С
К1636РР3У	К1636РР3У	Н14.42-1В	минус 60 – 125 °С
К1636РР3УК	К1636РР3У•	Н14.42-1В	0 – 70 °С

Микросхемы с приемкой «ВП» маркируются ромбом.
Микросхемы с приемкой «ОТК» маркируются буквой «К».

Примечание – Микросхемы в бескорпусном исполнении поставляются в виде отдельных кристаллов, получаемых разделением пластины. Микросхемы поставляются в таре (кейсах) без потери ориентации. Маркировка микросхемы – 1636РР3Н4 и К1636РР3Н4 – наносится на тару.

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
1	21.05.2015	1.0.0	Ведена впервые	
2	22.09.2015	1.1.0	Исправлены таблицы 13, 14	44 – 48
3	21.04.2017	2.0.0	Исправлена размерность времени стирания сектора. Исправление в подразделе «Командная последовательность стирания сектора»	28 15
4	15.03.2019	2.1.0	Добавлены разделы Указания по применению и эксплуатации и Справочные данные. Уточнение в подразделе Командная последовательность стирания сектора. Добавлены типовые зависимости	6, 50 16 51 – 56
5	23.12.2019	2.2.0	Дополнен раздел Указания по применению и эксплуатации. Исправление в подразделе Команды и адресация. Внесены исправления на рисунках 17, 18; 20 – 27; 30, 31, 34-36. Таблицы 13, 14 приведены в соответствие с ТУ	6 26 30, 31 32 – 36, 39, 40 42, 44 45 – 49